

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-102541

(P2001-102541A)

(43) 公開日 平成13年4月13日 (2001. 4. 13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)	
H 0 1 L 27/108		H 0 1 L 27/10	4 5 1	5 F 0 8 3
21/8242			6 5 1	
27/10	4 5 1			

審査請求 未請求 請求項の数21 O L (全 29 頁)

(21) 出願番号 特願平11-275331

(22) 出願日 平成11年9月28日 (1999. 9. 28)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 首藤 晋

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 尾崎 徹

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

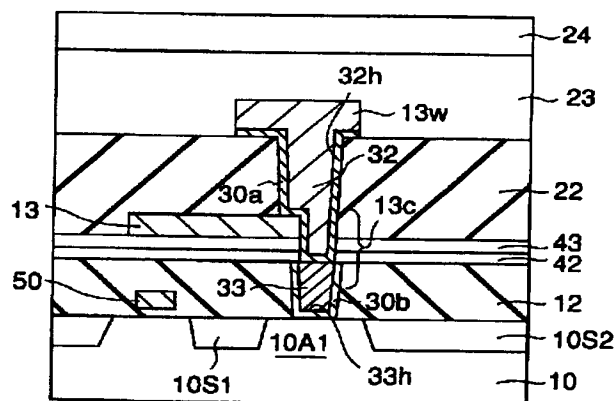
最終頁に続く

(54) 【発明の名称】 半導体記憶装置とその製造方法

(57) 【要約】

【課題】 微細化に適した構成を有する半導体記憶装置並びにその製造方法の提供を目的とする。

【解決手段】 高誘電体キャパシタの下部電極13、上部電極15a、15bに接続されるコンタクトの位置を下方にある半導体基板のソースドレイン領域10A1の真上に配置し、このコンタクトの少なくとも側面に接触した状態で、ソースドレイン領域10A1に至るまでコンタクトを延長して構成される。



**【特許請求の範囲】**

**【請求項 1】** 半導体基板上に形成された複数のトランジスタと、  
夫々のトランジスタの上層に形成された複数の強誘電体キャパシタと、  
前記トランジスタと強誘電体キャパシタとを夫々並列接続して強誘電体メモリセルを構成する接続手段とを具備し、  
前記接続手段は、前記強誘電体キャパシタの下部電極に接続される第 1 のコンタクト部と前記半導体基板に接続される第 2 のコンタクト部とが互いに接続された状態で形成される単一のコンタクトホールを有することを特徴とする半導体記憶装置。

**【請求項 2】** 上記強誘電体メモリセルの形成領域内に前記コンタクトホールが設けられていることを特徴とする請求項 1 に記載の半導体記憶装置。

**【請求項 3】** 前記下部電極に接続される第 1 のコンタクト部は、前記下部電極の側面のみに接続されていることを特徴とする請求項 1 或いは 2 項に記載の半導体記憶装置。

**【請求項 4】** 半導体基板上に形成された複数のトランジスタと、  
夫々のトランジスタの上層に形成された複数の強誘電体キャパシタと、  
前記トランジスタのソース・ドレイン領域と強誘電体キャパシタの上部・下部電極をそれぞれ接続する接続手段とを具備し、  
前記接続手段は、前記強誘電体キャパシタの下部電極に接続される第 1 のコンタクト部と前記半導体基板に接続される第 2 のコンタクト部と互いに接続された状態で形成される単一のコンタクトホールを含むことを特徴とする半導体記憶装置。

**【請求項 5】** 前記コンタクトホールの直上にはこのコンタクトホールと直接接続される配線が存在しないことを特徴とする請求項 1 乃至 4 項のいずれか 1 項に記載の半導体記憶装置。

**【請求項 6】** 前記強誘電体キャパシタの下部電極に接続される第 1 のコンタクト部と前記半導体基板に接続される第 2 のコンタクト部とが同一の導電材で一体に形成されることを特徴とする請求項 1 乃至 5 項のいずれか 1 項に記載の半導体記憶装置。

**【請求項 7】** 前記下部電極に接続される第 1 のコンタクト部は、前記下部電極の側面のみに接続されていることを特徴とする請求項 4 乃至 6 項のいずれか 1 項に記載の半導体記憶装置。

**【請求項 8】** 半導体基板上に複数のトランジスタを形成する工程と、  
前記トランジスタの上層に夫々強誘電体キャパシタを形成する工程と、  
前記半導体基板に接続される第 1 のコンタクトホールを

形成する工程と、

前記第 1 のコンタクトホールの直上で前記強誘電体キャパシタの下部電極に接続される第 2 のコンタクトホールを形成する工程と、

前記第 1、第 2 のコンタクトホールに共通に導電材料を充填して単一のコンタクトを形成する工程と、  
を具備することを特徴とする半導体記憶装置の製造方法。

**【請求項 9】** 前記第 1、第 2 のコンタクトホールの加工は夫々のコンタクトホールが形成される層間絶縁膜のエッチングレートに比べてキャパシタ下部電極のエッチングレートが小さくなるような条件下で行われることを特徴とする請求項 8 に記載の半導体記憶装置の製造方法。

**【請求項 10】** 半導体基板上に形成された複数のトランジスタと、前記トランジスタの上層に夫々形成された強誘電体キャパシタとから構成される複数の強誘電体メモリセルと、  
前記強誘電体キャパシタの上部電極に接続される第 1 のコンタクト部と前記半導体基板に接続される第 2 のコンタクト部とが互いに接続された状態で形成される単一のコンタクトホールと、  
を具備することを特徴とする半導体記憶装置。

**【請求項 11】** 前記コンタクトホールに接続される位置で強誘電体キャパシタの上部電極の端が下部電極の端よりも前方に張り出していることを特徴とする請求項 10 に記載の半導体記憶装置。

**【請求項 12】** 前記コンタクトホールの直上にはこのコンタクトホールと直接接続される配線が存在しないことを特徴とする請求項 10 および請求項 11 のいずれか 1 項に記載の半導体記憶装置。

**【請求項 13】** 前記強誘電体キャパシタの上部電極に接続される第 1 のコンタクトと前記半導体基板に接続される第 2 のコンタクトとが同一の導電材料で一体に形成されることを特徴とする請求項 10 乃至請求項 12 のいずれか 1 項に記載の半導体記憶装置。

**【請求項 14】** 半導体基板上に複数のトランジスタを形成する工程と、  
前記トランジスタの上層に夫々強誘電体キャパシタを形成する工程と、  
前記半導体基板に接続される第 1 のコンタクトホールを形成する工程と、  
前記第 1 のコンタクトホールの直上で強誘電体キャパシタの上部電極に接続される第 2 のコンタクトホールを形成する工程と、  
前記第 1、第 2 のコンタクトホールに共通に導電材料を充填して単一のコンタクトを形成する工程と、を具備することを特徴とする半導体記憶装置の製造方法。

**【請求項 15】** 前記強誘電体キャパシタの形成工程が、強誘電体膜の上方を覆う絶縁膜を形成する工程と、

## 3

この絶縁膜を部分的にエッチングして前記強誘電体膜の表面を露出させる溝を形成する工程と、前記エッチングで出来た溝に上部電極用の導電体を埋め込む工程とを含む事を特徴とする請求項14に記載の半導体記憶装置の製造方法。

【請求項16】 半導体基板上に形成された複数のトランジスタと、

前記トランジスタの上部にそれぞれ形成された強誘電体キャパシタと、

前記トランジスタの電流通路となる2つのソースドレイン領域の一方に前記強誘電体キャパシタの下部電極を接続し、他方に上部電極を接続する接続手段とを具備し、前記接続手段は、少なくとも前記下部電極の側面にてこの下部電極と接触し下方にて前記トランジスタの一方のソースドレイン領域と接続される下部電極コンタクトを有していることを特徴とする半導体記憶装置。

【請求項17】 前記下部電極は、前記下部電極コンタクトに接触する部分が前記上部電極が形成される領域よりも小さいパターンサイズの領域を有していることを特徴とする請求項16に記載の半導体記憶装置。

【請求項18】 前記下部電極は強誘電体キャパシタごとに上部電極に対応してかつ隣接して夫々設けられ、前記下部電極コンタクトが前記隣接する2個の下部電極の両方に同時に接触されるように配置されたことを特徴とする請求項16或いは請求項17に記載の半導体記憶装置。

【請求項19】 半導体基板上にトランジスタを形成する工程と、

前記形成されたトランジスタ上に第1の層間絶縁膜を堆積し、平坦化する工程と、

平坦化後に強誘電体キャパシタの下部電極用の導電膜、強誘電体膜ならびに上部電極用の導電膜を順次堆積する工程と、

前記下部電極導電膜を対応して形成される2個の上部電極間で細くなるパターンを持つ下部電極に形成する工程と、

前記上部電極導電膜を強誘電体キャパシタごとに分割加工して複数の上部電極を形成する工程と、

第2の層間絶縁膜を堆積する工程と、

この第2の層間絶縁膜に上部電極コンタクトを開口する工程と、

前記下部電極の細くなっている部分の側面に接触するように第1のソースドレインコンタクトホールを開口して第1のソースドレイン領域を露出せしめると同時に、上部電極を第2のソースドレイン領域に接続させるための第2のソースドレインコンタクトホールを開口する工程と、

前記上部電極コンタクトホール及び前記第1、第2のソースドレインコンタクトホール内に導電材料を充填する工程と、

## 4

この導電材料を加工して配線を形成する工程と、を具備することを特徴とする半導体記憶装置の製造方法。

【請求項20】 半導体基板上にトランジスタを形成する工程と、

前記トランジスタ上に第1の層間絶縁膜を堆積し、平坦化する工程と、

平坦化後に前記トランジスタのソースドレイン領域に接続された導電材料によるプラグを形成する工程と、

第2の層間絶縁膜を堆積する工程と、

10 強誘電体キャパシタの下部電極用の導電膜、強誘電体膜、上部電極用の導電膜を堆積する工程と、

前記下部電極用の導電膜を対応して形成される上部電極間で細くなっているパターンの下部電極に形成する工程と、

前記上部電極用の導電膜を強誘電体キャパシタごとに分割加工して複数の上部電極を形成する工程と、

第3の層間絶縁膜を堆積する工程と、

この第3の層間絶縁膜に上部電極コンタクトホールを開口する工程と、

20 前記下部電極の細くなっている部分の側面に接触するように第1のコンタクトホールを開口し、前記プラグの少なくとも上面を露出せしめると同時に、前記第1のコンタクトホールに連通し上部電極を前記ソースドレイン領域に接続させるための第2のコンタクトホールを開口せしめる工程と、

前記上部電極コンタクトホール及び前記第1、第2のコンタクトホール内に導電材料を充填する工程と、

この導電材料を加工して配線を形成する工程と、を含むことを特徴とする半導体記憶装置の製造方法。

30 【請求項21】 半導体基板上にトランジスタを形成する工程と、

このトランジスタ上に第1の層間絶縁膜を堆積し、平坦化する工程と、

平坦化後に前記トランジスタのソースドレイン領域に導電材料によるプラグを形成する工程と、

第2の層間絶縁膜を堆積する工程と、

強誘電体キャパシタの下部電極用の導電膜、強誘電体膜、上部電極用の導電膜を堆積する工程と、

前記下部電極用導電膜を上部電極に対応して強誘電体キャパシタごとに分割形成する工程と、

40 前記上部電極用の導電膜を強誘電体キャパシタごとに分割加工して複数の上部電極を形成する工程と、

第3の層間絶縁膜を堆積する工程と、

この第3の層間絶縁膜に上部電極コンタクトホールを開口する工程と、

前記分割された隣接する2個の下部電極の少なくとも夫々の側面に同時に接触するように第1のコンタクトホールを開口し、前記プラグの少なくとも上面を露出せしめると同時に、上部電極を前記ソースドレイン領域に接続させるための前記第1のコンタクトホールの直上に連通

5

する第2のコンタクトホールを開口する工程と、前記上部電極コンタクトホール及び前記第1、第2のコンタクトホール内に導電材料を充填する工程と、この導電材料を加工して配線を形成する工程と、を含むことを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体記憶装置、特に強誘電体メモリセルを有する半導体記憶装置とその製造方法に関する。

【0002】

【従来の技術】従来のチェーン型強誘電体メモリセルの強誘電体キャパシタの部分の平面図を図54に、図54のA-B線に沿った断面図を図55に示す。

【0003】これらの図54、55は、キャパシタ下部電極540と、キャパシタ下部電極540へのコンタクト541と、下層に形成されたトランジスタのソースドレイン拡散層へのコンタクト542a、542bの位置関係を示すための図である。コンタクト542bは第1の層間絶縁膜547内に形成され、コンタクト542aは第2の層間絶縁膜549内に形成される。下部電極540上にはコンタクト541を挟んでその両側に上部電極546a、546bが形成される。

【0004】トランジスタのゲート電極543は、半導体基板548内に形成された素子分離領域544の間の素子形成領域に形成され、上方の配線層545によりコンタクト541、542間が接続される。

【0005】図54、55の従来の場合、第一配線層545から強誘電体キャパシタの下部電極540へのコンタクト541と第一配線層545からトランジスタへのコンタクト542a、542bを別のコンタクトホール内に形成していた。

【0006】また、製造時のマスクの合わせずれ等によって、コンタクト542aが強誘電体キャパシタの下部電極540に接触するのを防ぐために、コンタクト542aとキャパシタ下部電極540との間に余裕Dを設けていた。

【0007】図55において、半導体基板548上には強誘電体メモリセルのスイッチ用MOSトランジスタのゲート543が形成されている。これらのトランジスタは例えばBPSGなどの平坦化された第1の層間絶縁膜547で覆われている。また、前記第1の層間絶縁膜547の表面には、薄いシリコン窒化膜層551と薄いシリコン酸化膜層552が形成され、さらにその上に下部電極540、強誘電体膜（図示無）及び上部電極546a、546bが順に形成されて強誘電体キャパシタを成している。

【0008】この強誘電体キャパシタは例えばd-TEOsなどを材料とした平坦化された第2の層間絶縁膜549で覆われ、さらに第2の層間絶縁膜549の上には

6

例えばA1などの第1の配線層545が形成されている。そして、先の第1の層間絶縁膜547を貫通するように1段目のコンタクト542bが形成されている。

【0009】このコンタクト542bは、スイッチ用トランジスタのソースドレイン領域553あるいはゲート電極543に接続されており、コンタクトホール内部はタングステン等の高融点金属で埋め込まれている。

【0010】また、薄いシリコン窒化膜層551と薄いシリコン酸化膜層552と第2の層間絶縁膜549とを同時に貫通するように、2段目のコンタクト542aが形成されている。

【0011】これらのコンタクトには接続先によって次の3つの種類がある。すなわち、(1)先に述べた1段目のコンタクト542bに直接接続するように形成されている2段目のコンタクト542a、(2)強誘電体キャパシタの下部電極540に接続するように形成されているコンタクト541、(3)強誘電体キャパシタの上部電極546a、546bに接続するように形成されているコンタクト（図示無）である。この2段目のコンタクト542aは、例えばアルミニウム等の埋め込み金属により形成されている。

【0012】これらの3つのコンタクトのうち(1)と(2)が図55に示されている。従来技術では、これら二つのコンタクト541、542a、542bは別々のコンタクトホール内に形成されている。第2の層間絶縁膜549の上部には、これらのコンタクトに接続するように第1の配線層545が形成されている。第2層間絶縁膜549及び第1配線層545の上は表面が平坦化された第3の層間絶縁膜550で覆われており、その上方にはパッシベーション膜560が形成されている。

【0013】以上述べたように、従来技術では1段目のコンタクト542bに直接接続するように形成されているコンタクト542aと強誘電体キャパシタの下部電極540に接続するように形成されているコンタクト541を別々のコンタクトホール内に形成している。

【0014】さらにコンタクト542aと強誘電体キャパシタの下部電極540の間には余裕Dが取られている。これらコンタクト542aとその周りの余裕Dは、メモリーセルのサイズを縮小する上で阻害要因になっており、問題であった。

【0015】このように従来構造では、第1配線層545から強誘電体キャパシタの下部電極540へのコンタクト541と、第1配線層545からトランジスタのソースドレイン領域553へのコンタクト542a、542bを別のコンタクトホール内に形成していたので、メモリーセルが大きくなっていた。

【0016】

【発明が解決しようとする課題】そこで、この発明は、強誘電体キャパシタの電極とこの電極に接続されるコンタクトと半導体基板に形成されるトランジスタのソース

ドレイン領域との半導体基板の横方向における互いの距離を小さくすることにより、強誘電体メモリセルの半導体基板上における占有面積を小さくして、より微細化が可能な構成を有する半導体記憶装置とその製造方法を提供することを目的とする。

#### 【0017】

【課題を解決するための手段】この発明の半導体記憶装置は、半導体基板上に形成された複数のトランジスタと、夫々のトランジスタの上層に形成された複数の強誘電体キャパシタとから構成される複数の強誘電体メモリセルと、前記強誘電体キャパシタの下部電極又は上部電極に接続される第1のコンタクトと前記半導体基板の所定の領域に接続される第2のコンタクトとが互いに半導体基板の厚さ方向に連通して接続された状態で形成されるコンタクトホールとから構成されている。

【0018】この構成では、例えば第1配線層から強誘電体キャパシタの下部電極へのコンタクトと第1配線層からトランジスタのソースドレイン領域へのコンタクトとを同一のコンタクトホール内に形成するため、従来技術では2個必要であったコンタクトを1個にする事ができ、メモリセルの面積を小さくする事ができる。

#### 【0019】

【発明の実施の形態】（第1の実施の形態）図1にはこの発明が適用されるチェーン型FRAMの回路図が示されている。図1において、メモリセルブロックMC1内で複数（この場合は8個）のトランジスタTr1-Tr8が直列に接続されている。ここで、トランジスタTr1のソース領域S1は隣接トランジスタTr2のドレイン領域D2に接続され、トランジスタTr1のソース領域S1、ドレイン領域D1間には強誘電体キャパシタC1が並列接続される。同様に、トランジスタTr2のソース領域S2、ドレイン領域D2間には強誘電体キャパシタC2が並列接続される。以下同様にして直列に接続された8個のトランジスタTr1乃至Tr8の夫々のドレイン領域は隣接トランジスタのソース領域に接続される。このようにして複数のトランジスタの電流通路が直列接続され、夫々のトランジスタには強誘電体キャパシタC1乃至C8が並列接続され、チェーン型FRAMセルブロックMC1が構成される。

【0020】なお、すべてのトランジスタのゲートにはワードラインWL1乃至WL8が接続される。このチェーン構成のトランジスタ回路ブロックMC1の一端はビットラインBL1に接続され、他の端部はパワーラインPLに接続される。

【0021】同様の構成を有する複数のチェーン型FRAMセルブロックMC2…がビットラインBL2、…に対応してワードラインWL1-WL8に共通に接続される。

【0022】図2は図1に示した回路に対応して構成されたこの発明の一実施の形態のチェーン型FRAMの単

位メモリセル構造を示す図であり、ここでは図1の強誘電体メモリセルブロックMC1内の3個のトランジスタTr1、Tr2、Tr3が形成された部分を示している。図2(a)は平面図、(b)は図2(a)のA-B線に沿って切断して示す断面図である。

【0023】図2の強誘電体メモリセルは一導電型、例えばn型半導体基板10上に形成される。半導体基板10の表面領域は素子分離層10A0、10A1、10A2により複数の素子形成領域に分離され、この素子形成領域にはチェーン型FRAMセルブロックMC1のトランジスタTr1、Tr2、Tr3のソースドレイン領域10A1、10A2、10A3がチェーン配列方向に形成され、隣接する領域には他のチェーン型FRAMセルブロックMC2のソースドレイン領域10B1、10B2、…が形成される。これらのソースドレイン領域10A1、10A2、10A3及び10B1、10B2、…は、互いにチャンネル長に相当する所定間隔をおいて形成され、各々のソースドレイン領域の境界部に形成されるチャンネルに対して夫々ワードラインWL1、WL2、WL3としてのゲート電極11-1、11-2、11-3が夫々トランジスタTr1、Tr2、Tr3の形成領域に配置される。

【0024】トランジスタTr1、Tr2、Tr3のゲート電極11-1、11-2、11-3の上層には更に層間絶縁膜12を介して強誘電体キャパシタC1、C2、C3が形成される。すなわち、トランジスタTr1、Tr2、…形成後に形成されCMP処理された層間絶縁膜12上には強誘電体膜14を挟んで下部電極13、2個の上部電極15a、15bが形成され、夫々下部電極コンタクト13c、上部電極コンタクト15c、15cが形成される。同時に、チェーン配列方向に隣接するゲート電極11-3上層の領域にも、下部電極13-1、強誘電体膜14-1、上部電極15a-1が順次形成される。

【0025】更に夫々の上部電極15a、15b、15a-1には配線15w、15wが形成されている。

【0026】下部電極13は2個の上部電極15a、15bに対して共通に用いられ、同様に下部電極13-1は2個の上部電極15a-1（図中には1個のみ示してある）に共通に用いられる。下部電極13では、コンタクト13cは図1の回路におけるノードN1に対応し、コンタクト15cはそれぞれ強誘電体キャパシタC1、C2を介して接続される図1のノードN2、N3に対応する。

【0027】コンタクト13cは後で図3、図4を参照して詳細に説明するが、下部電極13及びソースドレイン領域10A1に単一のコンタクトホールを介して接続される。このコンタクト13cは図1のトランジスタTr1、Tr2の共通接続点ノードN4に相当し、夫々トランジスタTr1のソース領域S1、トランジスタTr

10

20

30

40

50

2のドレイン領域D2に共通接続される。従って、領域10A1はソース領域、ドレイン領域として共通に用いられるので、ここではソースドレイン領域と称している。

【0028】強誘電体キャパシタC2側の上部電極コンタクト15cは隣接する強誘電体キャパシタC3との間のブリッジ配線としての配線15wを介して、ソースドレイン領域10A1に隣接するソースドレイン領域10A2に接続するように形成されたコンタクト18に接続され、これにより、図1に示したようにトランジスタTr2に並列に強誘電体キャパシタC2が接続された構成となる。

【0029】他方の強誘電体キャパシタC1側のコンタクト15cも同様にして配線15wを介して隣接するソースドレイン領域10A0に形成されたコンタクト18に相当する図示しないコンタクトに接続され、図1に示したようにトランジスタTr1に並列に強誘電体キャパシタC1が接続された構成となる。

【0030】前述したように、トランジスタTr3のゲート電極11-3(WL3)の上層にはこのトランジスタTr3に並列接続される他の強誘電体キャパシタC3の形成のために他の下部電極13-1、強誘電体膜14-1、上部電極15a-1が形成されている。この下部電極13-1はトランジスタTr1、Tr2の上層に形成された下部電極13に対してトランジスタTr1、Tr2の配列された方向に沿ってソースドレイン領域10A2の上層に所定間隔を置いて配置される。

【0031】前記したように、上記ソースドレイン領域10A1、10A2が形成された素子形成領域に対してこれと平行に形成された隣接する素子形成領域にも同様のチェーンFRAMセルブロックMC2が形成される。ここでは、チェーンFRAMセルブロックMC1に対して強誘電体キャパシタを構成する下部電極13-2、13-3がちょうど隣接する2個の下部電極の間にその中央部が来るようにずれて形成される。即ち、隣接する下部電極13、13-1の間に形成された空隙Eに対向して他の下部電極13-2が配置され、この下部電極13-2から同じ距離E離れた位置に他の下部電極13-3が配置される。

【0032】この下部電極13-2、13-3の間隙Eはちょうど前記下部電極13に対向しており、全体としてちょうど千鳥格子状に下部電極の配置パターンが形成されている。

【0033】以下、図2で示したチェーン型FRAMセルの内部構造を説明する。

【0034】図3は図2で説明したチェーン型FRAMセルの下部電極13の部分抜き出しを示す平面図、図4は図3のC-D線に沿った断面構造を示す。この図3、図4は、キャパシタ下部電極13と、キャパシタ下部電極13へのコンタクト32と、下地トランジスタT

Tr1、Tr2の共通ソースドレイン拡散層10A1へのコンタクト33と、これらのコンタクト32、33が共通に形成される単一のコンタクトホール13ch等の構造を示す図である。

【0035】ソースドレイン拡散層10A1は2個の素子分離領域10S1、10S2によって他の素子から分離された素子形成領域に形成される。

【0036】図4に示すように、この実施の形態では、第1配線層13wから強誘電体キャパシタC1、C2の共通下部電極13へのコンタクト32と、第1配線層13wからトランジスタTr1、Tr2の共通のソースドレイン領域10A1へのコンタクト33が同一のコンタクトホール13ch内にメタル充填により形成されている点の特徴である。

【0037】すなわち、コンタクトホール13ch内に形成されたコンタクト13cのうちの上半分のコンタクト32が強誘電体キャパシタC1、C2の共通下部電極13へのコンタクトとして機能し、残る下半分が第1配線層13wからトランジスタTr1、Tr2の共通ソースドレイン領域10A1へのコンタクト33として機能する。

【0038】本実施の形態に基づいて製造されたデバイスの断面について更に詳細に説明する。図4において、強誘電体キャパシタの充放電のスイッチとして動作するトランジスタTr1、Tr2が、ソースドレイン領域10A1に関連して形成される。このトランジスタ形成部は、例えばBPSGなどの平坦化された第1の層間絶縁膜12で覆われる。前記コンタクト33はバリアメタル33bとともに、この第1の層間絶縁膜12内にコンタクトホールをエッチングにより形成し、ここにタングステンなどのメタルを充填して形成される。

【0039】また、前記第1の層間絶縁膜12の表面には、図2(b)では説明を簡単にするために省略してあるが、薄いシリコン窒化膜層42と薄いシリコン酸化膜層43とが形成され、さらにその上に下部電極13、強誘電体膜14及び上部電極15a、15bが順に形成されて強誘電体キャパシタを形成している。

【0040】この強誘電体キャパシタは例えばd-TEOSなどを材料とした平坦化された第2の層間絶縁膜22で覆われ、さらに第2の層間絶縁膜22の上には例えばアルミなどの第1の配線層13wがバリアメタル等の保護膜30aを介して充填されている。

【0041】このコンタクトホール33hは、バリアメタル30bを介してスイッチ用トランジスタのドレインソース領域10A1に接続されており、コンタクトホール33h内部はタングステン等の高融点金属で埋め込まれてコンタクト33が形成されている。

【0042】また、薄いシリコン窒化膜層42と薄いシリコン酸化膜層43と第2の層間絶縁膜22を同時に貫通するように、2段目のコンタクトホール32hが形成

されている。

【0043】特に図示していないが、このデバイスの場合、薄いシリコン窒化膜層42と薄いシリコン酸化膜層43と第1、第2の層間絶縁膜12、22を貫通するように形成されたコンタクトホールには、接続先によって次の3つの種類がある。すなわち、(1)トランジスタのソースドレイン領域10A1に直接接続するように形成されている1段目のコンタクトホール18h、33h、(2)強誘電体キャパシタの下部電極13に接続するように形成されている2段目のコンタクトホール32h、(3)強誘電体キャパシタの上部電極15a、15bに接続するように形成されているコンタクトホール15chである。

【0044】この2段目のコンタクトホール32hは、例えばアルミニウム等の金属により埋め込まれている。

【0045】ここで、本発明を用いた場合の特徴は、メモリセル中のコンタクトのうち、強誘電体キャパシタの下部電極13に接続するように形成されているコンタクトホール32hが、ソースドレイン領域10A1の直上で、下部電極13の端部に接触する形で形成され、これによって1段目のコンタクトホール33hに直接接続するように形成されているという点である。

【0046】ここで、1段目のコンタクトホール33hに直接接続するように形成されているコンタクトホールのうち、キャパシタの下部電極13と下地トランジスタの拡散層10A1とを接続する目的で使用するコンタクトホール32h以外のコンタクトホール18hは、従来技術の形成方法で形成されが、これについては後述する。

【0047】第2の層間絶縁膜22の上部には、このコンタクトホール32hに接続するように第1の配線層13w用の配線溝が形成され、配線層13wが形成される。第1配線層13wの上は表面が平坦化された第3の層間絶縁膜層23で覆われており、その上方にはさらにパッシベーション膜24が形成される。

【0048】このように、下部電極13の上面の一部および側面に接触するようにコンタクトホール32hを形成して導電材料を充填してコンタクト32を形成し、その下方にトランジスタのソースドレイン領域10A1に至るコンタクトホール33hを形成して導電材料で充填してコンタクト33を形成したから、横方向に分離せずに実質的に1個のコンタクト13cにより下部電極13とソースドレイン領域10A1とを一度に接続することができ、強誘電体メモリセルの微細化に著しい効果が得られる。

【0049】次に図5乃至図10に示す断面図及び平面図を参照しながら図2、図3に示す構成を有する強誘電体メモリセルの製造工程を順に説明する。なお、以下に示す断面図は図4とは異なり、図2(a)の切断線D-D'に沿って切断して示している。

【0050】まず、図5に示すように、一導電型の半導体基板即ちシリコン基板10上に素子分離領域10S1を形成し、素子形成領域を形成する。この素子形成領域には強誘電体メモリセルを構成する要素の一つであるトランジスタのソースドレイン領域10A1、10A2が拡散層として形成される。

【0051】その後、通常のCMOS型DRAMと同様の工程により、シリコン基板10上にメモリセルトランジスタのゲート電極11-2及び他のデバイス用のトランジスタのゲート電極(図示せず)を形成した後、この上にLP-CVD法により例えばBPSG膜等の第1の層間絶縁膜12を形成し表面をCMPにより平坦化する。

【0052】この後リソグラフィによるパターンニングを行い、RIE法を用いて、形成された第1の層間絶縁膜12を選択的にエッチングし、シリコン基板10のソースドレイン領域10A1および図示しないゲート電極へと接続されるコンタクトホール33hを形成する。

【0053】このコンタクトホール33hの形成と同時に、隣接するトランジスタTr2のソースドレイン領域10A2に接続されるコンタクトホール18hも形成される。(図2参照)これらのコンタクトホール33h、18hの内面全体にバリアメタルなどの保護膜30b、18bを形成した後、ブランケットタングステン埋め込み法を用いて、タングステンを埋め込み、それぞれコンタクト33、18を形成する。

【0054】次に、図6に示すように、LP-CVD法により層間絶縁膜12上に薄いシリコン窒化膜層42を形成する。このシリコン窒化膜層42は、後に強誘電体キャパシタの形成工程で行われる酸素雰囲気中でのアニールによるコンタクト33、17のコンタクトプラグ材料(例えばW)の酸化を防ぐとともに、このアニールによるトランジスタの特性変動を防ぐ役割がある。

【0055】次に、前記シリコン窒化膜42上にLP-CVD法あるいはプラズマCVD法あるいは常圧CVD法により薄いシリコン酸化膜層43を形成する。次に、前記シリコン酸化膜43上にキャパシタ下部電極13としてTiN、Ti、Pt導電膜を順にスパッタ蒸着し、キャパシタ絶縁膜用の強誘電体膜14としてPZT膜を形成し、さらに、キャパシタ上部電極15としてPt導電膜をスパッタ蒸着する。

【0056】そして図7に示すように、RIE法により前記キャパシタ上部電極15、強誘電体キャパシタ絶縁膜14、キャパシタ下部電極13の順にパターンニング加工を行って、ゲート電極11-2の真上に強誘電体キャパシタC2を形成する。このとき、同時に他の強誘電体キャパシタC1も形成されているのは勿論である。

【0057】この段階で、必要に応じて摂氏500度程度の酸素雰囲気中でアニールを行い、強誘電体膜14の特性回復措置を取る事が可能である。

13

【0058】次に、図8においてプラズマCVDにより第2の層間絶縁膜22を形成する。この第2の層間絶縁膜22は3層の膜13、14、15の積層構造からなる強誘電体キャパシタの厚さに対して十分に厚く堆積させ、CMPにより表面を平坦化する。

【0059】この後、図9に示すように、リソグラフィによるパターンニングを行い、RIE法を用いて層間絶縁膜22、薄いシリコン酸化膜層43、および薄いシリコン窒化膜層42を同時に貫通し、下地にある1段目のコンタクトホール18hの直上に接続するコンタクトホール36を形成する。これと同時に、第2の層間絶縁膜22を貫通して強誘電体キャパシタC1、C2の共通下部電極13に接続するコンタクトホール32h、及び第2の層間絶縁膜22を貫通して強誘電体キャパシタの上部電極15bに接続するコンタクトホール35hを形成する。

【0060】ここで、コンタクトホール32hは、強誘電体キャパシタの下部電極13の上面の一部と側面とに、その側部に形成された屈曲部32Aを介して接触すると同時に、1段目のコンタクトホール33hを介してシリコン基板10へも連通されている。この点が従来技術に対して本発明の特に異なる構成である。

【0061】図9に示す工程のコンタクトホール形成においては、少なくとも1段目のコンタクトホール18hに接続するコンタクトホール36hと、強誘電体キャパシタの下部電極13に接続するコンタクトホール32hとを同時に形成する。このためのコンタクトホールのRIE法の条件は、1段目のコンタクトホール18hに接続するコンタクトホール36hがきちんと形成できるような条件で行う。

【0062】また、このRIE法は、シリコン酸化膜はエッチングされるが、白金やイリジウムやSROなどの強誘電体キャパシタの電極13、15a、15bを構成する材料はエッチングされないようなRIEである必要がある。このような条件を満たすRIE法を用いてコンタクトホール32h、36hのエッチングを行えば、図3のような平面図で示されるようなキャパシタ下部電極13の端にかかるコンタクト13cの上部コンタクトホール32hは、図4または図9のような断面構造を持つようになる。

【0063】すなわち、コンタクトホール32hのうち、屈曲部32Aより上のキャパシタ下部電極13の上方向に形成される部分は、コンタクトホール32hのエッチングがキャパシタ下部電極13まで到達したところでエッチングが進行しなくなり、屈曲部32Aが形成される。これによりキャパシタ下部電極13上面の一部および側面接触して接続されるようなコンタクトホールとして形成される。

【0064】これに対して、コンタクトホール32hのうち、キャパシタ下部電極13の端から下方にはみ出し

14

ている部分は、エッチングがすでにシリコン基板10に接続されている下部コンタクト33の表面まで進み、シリコン基板10へ接続されるコンタクト32として形成される。この場合、バリアメタル30aがコンタクトホール32hの内面に形成される。

【0065】この後、高温でアルミニウムのスパッタを行う事により、アルミニウムをリフローさせて上記のコンタクトホール32h、36hを埋め込むと同時に、配線13w、15w用のアルミニウム膜を堆積させる。そして、これをパターンニングしてからRIE法により加工し第1層配線13w、15wを形成する。ここまでの工程断面を図9に示す。

【0066】次に、図10において、第1配線15w上にプラズマCVD法によりd-TEOSを堆積し、第3の層間絶縁膜23を形成した後に、CMPにより平坦化を行い、リソグラフィによるパターンニングの後、RIE法を用いて第3の層間絶縁膜23を貫通するコンタクトホール37hを形成する。そしてアルミニウムリフロースパッタ法によりコンタクトホール37hを埋め込むと同時に、配線用のアルミニウム膜を堆積させる。そして、これをパターンニングしてからRIE法により加工し第2層配線38を形成する。

【0067】この後、2層配線構造のデバイスの場合には、トップパッシベーション絶縁膜24を堆積し、パッド部を開口する。これで図10に示すような最終形状が得られる。より多層の配線構造のデバイスの場合には前記したような方法の繰り返しで配線層と層間絶縁層を順次形成し、最後にトップパッシベーション絶縁膜を堆積し、パッド部を開口して完成する。

【0068】上記で述べたような方法を用いて製造されるチェーンFRAMの場合、図10に示すFRAMメモリセル中のコンタクトのうち、強誘電体キャパシタの下部電極13に接続するように形成されているコンタクト32が、下部電極13の端からはみ出す形で屈曲部32Aとして形成され、これによって一段目のコンタクト33に直接接続するように形成されているコンタクトを兼ねている。

【0069】従って従来のチェーンFRAM装置で、メモリセルのサイズを大きくする要因であったキャパシタ下部電極13とコンタクト32の間の余裕を無くする事ができ、メモリセルのサイズを小さくする事ができる。

【0070】なお、本実施の形態では、第1の配線層15wからシリコン基板10（トランジスタ拡散層10A1）またはトランジスタのゲート電極に接続するコンタクトが、1段目のコンタクト18と2段目のコンタクト36との2個に分けて形成されている。これには、かかるコンタクトのアスペクト比を減らし、RIE法及びアルミニウム埋め込み時の負担を減らそうという狙いがある。

【0071】しかし、工程の簡略化のためには、かかる

10

20

30

40

50



コンタクトを第2の絶縁膜22の形成後に一度に形成しても良い。

【0072】(第2の実施の形態)以下、第2の実施の形態を示す。

【0073】図11には本発明の技術を適用して製造された他のチェーンFRAMの平面構造を概略的に示す。図11に示す平面図は図3の平面図に対応する構成を示し、図3の場合と同様に、強誘電体キャパシタの下部電極13へ接続するコンタクト13cの上部コンタクトホール32hとトランジスタの拡散層10A1へ接続するコンタクトホール33hが同一のコンタクトホール31hとして形成されており、また、かかるコンタクト13c上に配線が無い点が特徴的である。この実施の形態においても第1の実施の形態と同様に、コンタクトホール31hが強誘電体キャパシタの下部電極13へのコンタクトホール32hとして機能するとともに、第1配線層からトランジスタへのコンタクトホール33hとしても機能する。

【0074】以下、本実施の形態に基づいて製造されたデバイスの断面構造について説明する。図12においてトランジスタ形成領域10A1の上方には、例えばBPSGなどの第1の層間絶縁膜12中に図3と同様にトランジスタが形成され、平坦化される。

【0075】また、前記第1の層間絶縁膜12の表面には薄いシリコン窒化膜層42と薄いシリコン酸化膜層43が形成され、さらにその上に後で説明する下部電極、強誘電体膜及び上部電極が順に形成されて強誘電体キャパシタを成している。

【0076】このキャパシタは例えばd-TEOSなどを材料とした平坦化された第2の層間絶縁膜22で覆われ、さらに第2の層間絶縁膜22の上には例えばアルミなどの第1の配線層(図示せず)が形成されている。

【0077】そして、先の第1の層間絶縁膜12を貫通するように1段目のコンタクトホール33hが形成されている。このコンタクトホール33hはスイッチ用トランジスタのドレインソース領域10A1に接続されており、コンタクトホール33h内部はタングステン等の高融点金属で埋め込まれて下部コンタクト33が形成される。

【0078】また、薄いシリコン窒化膜層42と薄いシリコン酸化膜層43と第2の層間絶縁膜22を同時に貫通するように、2段目のコンタクトホール32hが形成されている。ここで、本発明を用いた場合の特徴は、図4の実施の形態と同様に、メモリセル中のコンタクトのうち、強誘電体キャパシタの下部電極13に接続するように形成されているコンタクトホール32hが、下部電極13の端からはみ出す形で形成され、これによって1段目のコンタクトホール33hに連通して直接接続するように形成されているという点である。また、このコンタクトホール32hはアルミニウム等で埋め込まれてコ

ンタクト32を形成し、さらにコンタクトホール32h直上には、薄い絶縁膜41が堆積されており、後に述べる第1の配線層がたとえかかるコンタクトホール32h上に有ったとしても、絶縁されるように工夫されている。ここで、1段目のコンタクトホールに直接接続するように形成されている2段目のコンタクトホールのうち、キャパシタの下部電極13と下地トランジスタの拡散層10A1とを結ぶ目的で使用するコンタクトホール32h以外のコンタクトホール36は、従来技術の形成方法で形成される。

【0079】シリコン酸化膜41の上は表面が平坦化された第3の層間絶縁膜23で覆われており、その上方にはパッシベーション膜24が形成されている。

【0080】次に、この第2の実施の形態の半導体記憶装置の製造方法を、図13乃至図16を参照して説明する。この断面図も前述の実施の形態の説明と同様に、図2のD-D'の線に対応した線に沿って切断して示しており、対応する構成部も同じ参照符号を付してある。

【0081】まず、キャパシタ上にプラズマCVDにより第2の層間絶縁膜12を形成してから、CMPにより表面を平坦化するところまでは、第1の実施の形態と同様である。この時の断面は図8と同様である。

【0082】本実施の形態では、この後、リソグラフィによるパターンニングを行い、RIE法を用いて薄いシリコン窒化膜層42と薄いシリコン酸化膜層43と第2の層間絶縁膜22を同時に貫通し下地にある1段目のコンタクトホール18hに接続するコンタクトホール18h、および第2の層間絶縁膜22を貫通してキャパシタの下部電極13に接続するコンタクトホール32hを同時形成する。

【0083】こうして出来たコンタクトホールが図中の32hである。ただし、1段目のコンタクトホール33hに接続するコンタクトホールのうち、この時に形成するのは、キャパシタの下部電極13と下地トランジスタの拡散層10A1とを結ぶ目的で使用するコンタクトホール32hだけである。この時のコンタクトホール32hの形成方法は、図9の場合と同様である。しかし、すべてのコンタクトを同時形成するのではなく、キャパシタの下部電極13と下地トランジスタの拡散層10A1とを結ぶ目的で使用するコンタクトホール32hだけを先に形成する点で、本実施の形態は第1の実施の形態と異なる。

【0084】次に、高温でアルミニウムのスパッタを行う事によりアルミニウムをリフローさせて上記のコンタクトホール32hを埋め込み、さらにCMP等で酸化膜上の部分を削り取り、コンタクトホール32hの内部だけにアルミニウムを残す。そして、100nm程度のシリコン酸化膜41をこの上に堆積させる。この時の断面図が図13である。

【0085】次に、図14に示すように、リソグラフィ

17

によるパターンニングを行い、R I E法を用いて薄いシリコン窒化膜層42と薄いシリコン酸化膜層43と第2の層間絶縁膜22とシリコン酸化膜41を同時に貫通し、下地にある1段目のコンタクトホール18hに接続するコンタクトホール36h、及び第2の層間絶縁膜22とシリコン酸化膜41を貫通してキャパシタの上部電極15bに接続するコンタクトホール35hを形成する。

【0086】この後、高温でアルミニウムのスパッタを行う事により、アルミニウムをリフローさせて上記のコンタクトホール36h、35hを埋め込むと同時に、配線用のアルミニウム膜を堆積させる。そして、これをパターンニングしてからR I E法により加工し第1層配線15wを形成する。

【0087】次に、図15に示すように、第1配線15wにプラズマCVD法によりd-T E O Sを堆積し、第3の層間絶縁膜層23を形成した後に、CMPにより平坦化を行い、リソグラフィによるパターンニングの後、R I E法を用いて第3の層間絶縁膜23を貫通するコンタクトホール37hを形成する。

【0088】そしてアルミニウムリフローズスパッタ法によりコンタクトホール37hを埋め込むと同時に、配線用のアルミニウム膜を堆積させる。そして、これをパターンニングしてからR I E法により加工し第2層配線38を形成する。

【0089】この後、2層配線構造のデバイスの場合には、トップパッシベーション絶縁膜24を堆積し、パッド部を開口する。これで図15に示すような最終形状が得られる。

【0090】より多層の配線構造のデバイスの場合には前記したような方法の繰り返しで配線層と絶縁層を形成し、最後にトップパッシベーション絶縁膜24を堆積し、パッド部を開口する。

【0091】上記で述べたような方法を用いて製造されるチェーンF R A Mの場合、メモリセル中のコンタクトのうち、強誘電体キャパシタの下部電極13に接続するように形成されているコンタクトホール32hが、下部電極13の端からはみ出す形で形成され、これによって1段目のコンタクトホール33に直接接続するように形成されているコンタクトホールを兼ねている。

【0092】従って従来のチェーンF R A M装置で、メモリセルのサイズを大きくする要因であったキャパシタ下部電極とコンタクトホール間の余裕を無くする事ができ、メモリセルのサイズを小さくする事ができる。

【0093】ここまでの効果は第1の実施の形態でも説明した通りであるが、この第2の実施の形態では、さらに図16に示すように、キャパシタの下部電極13と下地トランジスタの拡散層10A1とを結ぶ目的で使用するコンタクトホール32の直上に、独立した配線層57を設ける事ができる。

18

【0094】配線層57は第1の配線層15wと同じ配線層であるがここでは説明のために異なる記号にて図示している。配線層57は、第1の実施の形態の場合にはコンタクト32と繋がってしまうので、独立な配線層として使えなかったが、第2の実施の形態の場合には、コンタクト32はシリコン酸化膜41により完全に絶縁されているので、独立な配線層として使う事ができる。

【0095】これにより、セルアレイ内での配線層の使用効率を上げる事ができ、セルサイズを小さくしたり、配線層の総層数を少なくする事ができる。

【0096】以上述べたように、この第1、第2の実施の形態によれば、強誘電体キャパシタの下部電極に接続されるコンタクトとトランジスタの拡散層に接続されるコンタクトとを単一のコンタクトホール内にメタル充填により形成したので、半導体記憶装置の面積を著しく微小化することができる。

【0097】(第3の実施の形態)以下図17乃至図31を参照してこの発明の他の実施の形態を詳細に説明する。

【0098】図17には本発明の技術を用いて製造されたF R A Mセルの平面構造を概略的に示す。この図17は、キャパシタ上部電極15a、15bと、キャパシタ上部電極15a、15bへのコンタクト15ac、15bcと、下地トランジスタの拡散層10A1へのコンタクト34(図18)の関係を示すための図である。

【0099】図17に示す平面図では、第1配線層15wから強誘電体キャパシタの上部電極15aへのコンタクトと第1配線層15wからトランジスタの拡散層へのコンタクトが同一のコンタクト15acとして形成されている点特徴的である。すなわち、コンタクト15acのうちの半分が強誘電体キャパシタの上部電極15aへのコンタクトとして機能し、残る半分が第1配線層15wからトランジスタへのコンタクトとして機能する。

【0100】また、本実施の形態の強誘電体キャパシタにおいて、かかるコンタクト15acに近接する部分の上部電極15aは、下部電極13よりも外側にはみ出して形成されている。これにより、上記のようなコンタクトのパターンでも、下部電極13とコンタクト15acが接触し導通することはない。

【0101】以下、本実施の形態に基づいて製造されたデバイスの断面構造について説明する。

【0102】図18において、半導体基板10上にはメモリセルのスイッチ用M O S トランジスタのゲート11-2が形成されている。これらのトランジスタは例えばB P S Gなどの平坦化された第1の層間絶縁膜12で覆われている。

【0103】また、前記第1の層間絶縁膜12の表面には、薄いシリコン窒化膜層42と薄いシリコン酸化膜層43が形成され、さらにその上に下部電極13、強誘電体膜14及び上部電極15aが順に形成されて強誘電体

19

キャパシタを成している。

【0104】このキャパシタは例えばd-TEOSなどを材料とした平坦化された第2の層間絶縁膜層22で覆われ、さらに第2の層間絶縁膜22の上には例えばアルミなどの第1の配線層15wが形成されている。

【0105】そして、先の第1の層間絶縁膜12を貫通するように1段目のコンタクトホール34hが形成されている。このコンタクトホール34hは、スイッチ用トランジスタのドレインソース領域10A1に達するように形成されており、コンタクトホール34h内部はバリアメタル34bを介してタングステン等の高融点金属で埋め込まれる。

【0106】また、薄いシリコン窒化膜層42と薄いシリコン酸化膜層43と第2の層間絶縁膜22を同時に貫通するように、2段目のコンタクトホール44hが形成されている。特に図示していないが、このデバイスの場合、薄いシリコン窒化膜層42と薄いシリコン酸化膜層43と第2の層間絶縁膜22を貫通するように形成されたコンタクトホールには接続先によって次の3つの種類がある。すなわち、(1)先に述べた1段目のコンタクトホール34hに直接接続するように形成されているコンタクトホール44h、(2)強誘電体キャパシタの上部電極15aに接続するように形成されているコンタクトホール15ac、(3)強誘電体キャパシタの下部電極13に接続するように形成されているコンタクトホール13chである。

【0107】この2段目のコンタクトホールは、例えばアルミニウム等の金属により埋め込まれている。

【0108】ここで、本発明を適用した場合のこの第3の実施の形態の特徴は、メモリセル中のコンタクトのうち、強誘電体キャパシタの上部電極15aに接続するように形成されているコンタクトホール15acが、上部電極15aの端からはみ出す形で形成され、これによって1段目のコンタクトホール34hに直接接続するように形成されているコンタクトホールを兼ねているという点である。

【0109】また、コンタクトホール15acの近傍の上部電極15aは、その端部が下部電極13の端部より外側になるように形成されている。このため、上部電極15aが下部電極13に対して庇を形成するようになるので、上記のように上部電極15aの端からはみ出してコンタクトホール15acを形成しても、コンタクトホール15acと強誘電体キャパシタの下部電極13とが接触するようなことがない。

【0110】ここで、第1の層間絶縁膜12中で1段目のコンタクトに直接接続するように形成されているコンタクトのうち、キャパシタの上部電極15bと下地トランジスタの拡散層10A2とを結ぶ目的で使用するコンタクト15ac以外のコンタクト、例えば図17の下部電極13に接続されるコンタクト13c1および配線1

20

3wを介して下地トランジスタの拡散層10A1に接続されるコンタクト13c2は、従来技術の形成方法で形成される。

【0111】第2の層間絶縁膜22の上部には、これらのコンタクトホールに接続するように第1の配線層15wが形成されている。第1配線層15wの上は表面が平坦化された第3の層間絶縁膜23で覆われており、その上方にはパッシベーション膜24が形成されている。

【0112】以上のような構成をとることにより、強誘電体キャパシタの上部電極と下地トランジスタの拡散層とを単一のコンタクトで接続できるので、例えばチェーン型FRAMをより一層微細化することができる。

【0113】次に図19乃至24に示す断面図及び平面図を参照しながら製造工程を順に説明する。なお、この実施の形態は例えば図2の線G-Hに沿った断面図として以下説明するが、上部電極15aの部分は線G-G'に沿って図中右方向に見た断面図であり、下部電極13-2のコンタクト13cからソースドレイン領域10B2へのコンタクト18までの断面図は線G'-Hに沿って図中左方向に見た断面図となっている。

【0114】まず、図19に示すように、通常のCMOS型DRAMと同様の工程により、シリコン基板10上にメモリセルトランジスタのゲート電極11-2を形成した後、この上にLP-CVD法により例えばBPSG膜等の第1の層間絶縁膜12を形成し、表面をCMPにより平坦化する。

【0115】この後リソグラフィによるパターンニングを行い、RIE法を用いて第1の層間絶縁膜12を選択的にエッチングし、シリコン基板10およびゲート電極へと接続するコンタクトホール34hを形成する。

【0116】さらに、このコンタクトホール34hをブランケットタングステン埋め込み法を用いて、タングステンで埋め込み、第1コンタクト34を形成する。

【0117】次に、図20において、LP-CVD法により層間絶縁膜12上に薄いシリコン窒化膜層42を形成する。このシリコン窒化膜層42は、後に強誘電体膜キャパシタの形成工程で行われる酸素雰囲気中でのアニールによるコンタクトプラグ材料34(例えばW)の酸化を防ぐとともに、このアニールによるトランジスタの特性変動を防ぐ役割がある。

【0118】次に、前記シリコン窒化膜42上にLP-CVD法あるいはプラズマCVD法あるいは常圧CVD法により薄いシリコン酸化膜層43を形成する。

【0119】次に、図21において、前記シリコン酸化膜43上にキャパシタ下部電極13として、TiN、Ti、Ptを順にスパッタ蒸着してから、さらにキャパシタ絶縁膜用の強誘電体膜14としてPZT膜を堆積する。この時のPtの膜厚は例えば100nm程度にし、PZT膜厚は150nm程度にする。

【0120】この後、摂氏600度から750度の酸素

21

雰囲気中でアニールを行い、P Z T膜を結晶化する。

【0121】さらに、キャパシタ上部電極15aとしてP tをスパッタ蒸着する。この時のP t膜厚は約20nm程度にする。

【0122】次に、リソグラフィによるパターンニングを行い、R I E法により加工して強誘電体キャパシタを形成する。この際、強誘電体膜14にダメージが入り本来の特性と変わってしまった場合には、摂氏500度程度の酸素雰囲気中でアニールで回復させる事が可能である。

【0123】次に、図22において、第2の層間絶縁膜22を形成後、プラズマCVDによりシリコン酸化膜39を堆積させる。第2の層間絶縁膜22はキャパシタを構成する下部電極13、強誘電体膜14、上部電極15aの合計の厚さに対して十分に厚く堆積させ、CMPにより表面を平坦化する。この時のCMPは、キャパシタ上部電極15上の酸化膜39の厚みが約100nm程度になるように行う。

【0124】次に、リソグラフィによるパターンニングを行い、R I E法を用いて、キャパシタ上のシリコン酸化膜、即ち第2層間絶縁膜22をエッチングする。この時のエッチングはキャパシタ上部電極15a上の酸化膜を取り除くのに過不足無いような条件で行う。例えば、本実施の形態の場合では約100nmの酸化膜をエッチングするような条件で行う。

【0125】また、エッチングする部分のパターンは、後に上部電極15aへ接続するコンタクトホールが形成される事になる部分で、エッチングパターンの端がキャパシタ下部電極13の端よりも外側にあるようになっている。

【0126】次に、再びP tをスパッタ法により堆積させた後、CMPにより、先にシリコン酸化膜22のエッチングにより形成した、シリコン酸化膜22の凹部以外の部分のP tを取り去る。これで、キャパシタの上部電極15aの形成が終了する。

【0127】以上で述べたようなキャパシタ形成工程を用いる事により、上部電極15aへ接続するコンタクトホール近傍の上部電極15aの端が下部電極13の端よりも外側に有るような構造を作る事ができる。このような構造があとでコンタクトホールを形成する際に重要になる。

【0128】次に、図22の工程において、プラズマCVD法によりシリコン酸化膜39を100nm程堆積させる。この酸化膜39の目的は、上部電極15aと、後に上部電極15aの上方に形成される第1配線層15wとの絶縁を行うことにある。従って、上部電極15aの直上に第1配線層15wを形成する予定がなく、かかるシリコン酸化膜39を堆積させなくても上部電極15aと第1配線層15wの絶縁が確保できるのならば、このシリコン酸化膜39の堆積工程は省略する事ができる。

22

【0129】次に、図23において、リソグラフィによるパターンニングを行い、R I E法を用いてシリコン酸化膜39と第2層間絶縁膜22と薄いシリコン酸化膜層43と薄いシリコン窒化膜層42とを同時に貫通し、下地にある1段目のコンタクト34に接続するコンタクトホール36h、および第2の層間絶縁膜22を貫通してキャパシタの下部電極13に接続するコンタクトホール35、及びシリコン酸化膜39を貫通してキャパシタの上部電極15aに接続するコンタクトホール15ahを形成する。

【0130】ここで、コンタクトホール15ahはキャパシタの上部電極15aに接続すると同時に、1段目のコンタクト34を介してシリコン基板10へも接続されている。この点が、本発明と従来技術との違いである。

【0131】このときのコンタクト形成においては、少なくとも1段目のコンタクト34に接続するコンタクトホール36hとキャパシタ上部電極15aに接続するコンタクトホール15ahとを同時に形成する。このためのコンタクトホールのR I Eの条件は、1段目のコンタクトホール34に接続するコンタクトホール36hがきちんと形成できるような条件で行う。

【0132】また、このR I Eはシリコン酸化膜39をエッチングするが、白金やイリジウムやSROなどのキャパシタ電極材料はエッチングしないようなR I Eである事が必要である。このような条件を満たすR I Eを用いてコンタクトホールのエッチングを行えば、図17のような平面図で示されるようなキャパシタ上部電極15aの端にかかるコンタクトホール15ahは、図18または図23のような断面構造を持つようになる。

【0133】すなわち、コンタクトホールのうちキャパシタ上部電極15a上に形成される部分は、コンタクトホール15ahのエッチングがキャパシタ上部電極15aまで到達したところで酸化膜39のエッチングが進行しなくなり、キャパシタ上部電極15aに接続されるようなコンタクトホール15ahとして形成される。

【0134】これに対して、コンタクトホール15ahのうち、キャパシタ上部電極15aの端からはみ出している部分は、エッチングがシリコン基板10まで進み、シリコン基板10へ接続されるコンタクトホール15ahとして形成される。

【0135】また、上記のコンタクトホール形成で重要なのは、先のキャパシタ形成の工程での工夫により、かかるコンタクトホールを形成する部分で、上部電極15aの端が下部電極13の端よりも外側にあるという点である。このため、かかるコンタクトホール15ahのうち上部電極15aからはみ出した部分は、キャパシタ下部電極13に接触する事無く、下地の1段目コンタクト34へと到達できる。

【0136】従来の技術で形成されたキャパシタの場合、キャパシタのR I E加工を上部電極、強誘電体、下

部電極という順番で行うために、原理的に上部電極の端が下部電極の端よりも外側になる事がない。このため、従来のキャパシタ加工工程で形成されたキャパシタに対して、上記のような、上部電極から一部がはみ出したようなコンタクトホールを形成すると、必ずコンタクトホールのうちの上部電極からはみ出した部分が下部電極と接触してしまう。このように、本発明では、コンタクトホールの形成法のみならず、キャパシタの形成法にも工夫が凝らされている。

【0137】この後、高温でアルミニウムのスパッタを行う事により、アルミニウムをリフローさせて上記のコンタクトホール 15 a h を埋め込むと同時に、配線用のアルミニウム膜を堆積させる。そして、これをパターンニングしてから R I E 法により加工し、コンタクト 15 a c およびこれに接続された第 1 層配線 15 w を形成する。

【0138】次に、図 24 において、第 1 配線上 15 w、13 w 上にプラズマ CVD 法により d-TEOS を堆積し、第 3 の層間絶縁膜層 23 を形成した後に、CMP により平坦化を行い、リソグラフィによるパターンニングの後、R I E 法を用いて第 3 の層間絶縁膜 23 を貫通するコンタクトホール 37 h を形成する。

【0139】そして、アルミニウムリフロースパッタ法によりコンタクトホール 37 h を埋め込むと同時に、配線用のアルミニウム膜を堆積させる。そして、これをパターンニングしてから R I E 法により加工し、第 2 層配線 38 を形成する。この後、2 層配線構造のデバイスの場合には、トップパッシベーション絶縁膜 24 を堆積し、パッド部を開口する。これで図 24 に示すような最終構造が得られる。

【0140】より多層の配線構造のデバイスの場合には前記したような方法の繰り返しで配線層と絶縁層を形成し、最後にトップパッシベーション絶縁膜を堆積し、パッド部を開口する。

【0141】上記で述べたような方法を用いて製造される FRAM の場合、メモリセル中のコンタクトのうち、強誘電体キャパシタの上部電極に接続するように形成されているコンタクトホールが、上部電極の端からはみ出す形で形成され、これによって 1 段目のコンタクトホールに直接接続するように形成されているコンタクトホールを兼ねている。

【0142】従って従来の FRAM で、メモリセルのサイズを大きくする要因であったキャパシタ上部電極と基板へのコンタクトホール間の余裕またはキャパシタ下部電極と基板へのコンタクトホール間の余裕を無くする事ができ、メモリセルのサイズを小さくする事ができる。

【0143】なお、本実施の形態では、第 1 の配線層 15 w からシリコン基板 10 (トランジスタ拡散層) またはトランジスタのゲート電極に接続するコンタクトホー

ルが、1 段目と 2 段目の二つのコンタクトホール 34 h、36 h に分けて形成されている。

【0144】これには、かかるコンタクトホールのアスペクト比を減らし、R I E 法及びアルミニウム埋め込み時の負担を減らそうという狙いがある。しかし、工程の簡略化のためには、かかるコンタクトホール 34 h、36 h を第 2 の層間絶縁膜 22 の形成後に一度に形成しても良い。

【0145】(第 4 の実施の形態) 以下、図 25 乃至図 31 を参照して第 4 の実施の形態について説明する。

【0146】図 25 には本発明の技術を用いて製造された FRAM の平面構造を概略的に示す。図 25 に示す平面図では、強誘電体キャパシタの上部電極 15 a へ接続するコンタクトホールとトランジスタのソースドレイン領域へ接続するコンタクトホールが同一のコンタクトホール 15 a c として形成されており、また、かかるコンタクトホール 15 a c 上に配線が無い点が特徴的である。

【0147】この実施の形態においても、第 3 の実施の形態と同様に、例えばコンタクトホール 15 a c のうちの半分が強誘電体キャパシタの上部電極 15 a へのコンタクトホールとして機能し、残る半分が第 1 配線層 15 w からトランジスタのソースドレイン領域へのコンタクトホールとして機能する。

【0148】以下、本実施の形態に基づいて製造されたデバイスの断面構造について説明する。

【0149】図 26 において、半導体基板 10 上にはメモリセルのスイッチ用 MOS トランジスタのゲート (図示せず) が形成されている。これらのトランジスタは例えば BPSG などの平坦化された第 1 の層間絶縁膜 12 で覆われている。

【0150】また、前記第 1 の層間絶縁層 12 の表面には、薄いシリコン窒化膜層 42 と薄いシリコン酸化膜層 43 が形成され、さらにその上に下部電極 13、強誘電体膜 14 及び上部電極 15 a が順に形成されて強誘電体キャパシタを成している。

【0151】このキャパシタは例えば d-TEOS などを材料とした平坦化された第 2 の層間絶縁膜層 22 で覆われ、さらに第 2 の絶縁膜 22 の上には例えばアルミなどの第 1 の配線層 (図示せず) が形成されている。

【0152】そして、先の第 1 の層間絶縁膜 12 を貫通するように 1 段目のコンタクトホール 34 h が形成されている。このコンタクトホール 34 h は、スイッチ用トランジスタのドレインソース領域 10 A1 に接続されており、コンタクトホール 34 h 内部はタングステン等の高融点金属で埋め込まれている。

【0153】また、薄いシリコン窒化膜層 42 と薄いシリコン酸化膜層 43 と第 2 の層間絶縁膜 22 を同時に貫通するように、2 段目のコンタクトホール 15 a h が形成されている。

10

20

30

40

50

25

【0154】ここで、本発明を用いた場合の特徴は、メモリセル中のコンタクトのうち、強誘電体キャパシタの上部電極15aに接続するように形成されているコンタクトホール15ahが、上部電極15aの端からはみ出す形で形成され、これによって1段目のコンタクトホール34hに直接接続するように形成されているコンタクトホールを兼ねているという点である。

【0155】また、このコンタクトホール15ahはアルミニウム等で埋め込まれており、さらにコンタクトホール15ah直上には、薄い絶縁膜39が堆積されており、後に述べる第1の配線層15wがたとえかかるコンタクトホール15ah上に有ったとしても、絶縁されるように工夫されている。

【0156】ここで、1段目のコンタクトホール34hに直接接続するように形成されるコンタクトホールのうち、キャパシタの上部電極15aと下地トランジスタの拡散層10A1とを結ぶ目的で使用するコンタクトホール15ac以外のコンタクトホールは、第3の実施の形態で述べたように、従来技術の形成方法で形成される。

【0157】シリコン酸化膜39の上は表面が平坦化された第3の絶縁膜層23で覆われており、その上方にはパッシベーション膜24が形成されている。

【0158】次に、この実施の形態の半導体記憶装置の製造方法を、図27乃至図31を参照して詳細に説明する。

【0159】まず、図27において、第2の層間絶縁膜22を一部エッチングし、Ptの上部電極15aを埋め込むところまでは、前記第3の実施の形態と同様である。ただし、本実施の形態の場合には、Ptの上部電極15a埋め込みの時のCMPのオーバーエッチング(Over Etching)時間を調節して、Pt上部電極15aの表面が層間膜22の表面よりも50nm程度低くなるようにする。この時の断面が図27である。

【0160】本実施の形態の方法では、図28に示すように、リソグラフィによるパターンニングを行い、RIE法を用いて第2の絶縁膜22と薄いシリコン酸化膜層43と薄いシリコン窒化膜層42を同時に貫通し、下地にある1段目のコンタクトホール34hに接続するコンタクトホール15ahを形成する。

【0161】ただし、1段目のコンタクトホール34hに接続するコンタクトホールのうち、この時に形成するのは、キャパシタの下部電極13と下地トランジスタの拡散層10A1とを結ぶ目的で使用するコンタクトホール15ahだけである。この時のコンタクトホール15ahの形成方法は、第3の実施の形態の場合と同様である。

【0162】しかし、すべてのコンタクトを同時形成するのではなく、キャパシタの上部電極15aと下地トランジスタの拡散層10A1とを結ぶ目的で使用するコンタクトホール15ahだけを先に形成する点で、本実施

26

の形態は第3の実施の形態と異なる。

【0163】次に、図28において、高温でアルミニウムのスパッタを行う事によりアルミニウムをリフローさせて上記のコンタクトホール15ahを埋め込み、さらにCMP等で酸化膜上の部分を削り取り、コンタクトホール15ahの内部と上部電極15a上だけにアルミニウムを残す。

【0164】先に、Pt上部電極15aの埋め込み形成工程で上部電極15a表面を層間膜22の表面よりも少し低くするように埋め込みを行ったが、上記のアルミニウム埋め込みの工程では、この時に形成された上部電極15aと層間膜22とで作られる凹部にアルミニウムが残る。このため、コンタクトホール15ahを埋めているアルミニウムと上部電極15aの間に十分な導通ができる。そして、100nm程度のシリコン酸化膜39をこの上に堆積させる。

【0165】次に、図29において、リソグラフィによるパターンニングを行い、RIE法を用いて薄いシリコン窒化膜層42と薄いシリコン酸化膜層43と第2の絶縁膜22とシリコン酸化膜39を同時に貫通し、下地にある1段目のコンタクトホール34hに接続するコンタクトホール36h、及び第2の絶縁膜22とシリコン酸化膜39を貫通してキャパシタの下部電極13に接続するコンタクトホール35hを形成する。

【0166】この後、高温でアルミニウムのスパッタを行う事により、アルミニウムをリフローさせて上記のコンタクトホール35h、36hを埋め込むと同時に、配線用のアルミニウム膜を堆積させる。そして、これをパターンニングしてからRIE法により加工し第1層配線13w、15wを形成する。

【0167】次に、図30において、第1配線層13w、15wにプラズマCVD法によりd-TEOSを堆積し、第3の絶縁膜層23を形成した後に、CMPにより平坦化を行い、リソグラフィによるパターンニングの後、RIE法を用いて第3の絶縁膜23を貫通するコンタクトホール37hを形成する。

【0168】そしてアルミニウムリフローズパッタ法によりコンタクトホール37hを埋め込むと同時に、配線用のアルミニウム膜を堆積させる。そして、これをパターンニングしてからRIE法により加工し、第2層配線38を形成する。

【0169】この後、図30において、2層配線構造のデバイスの場合には、トップパッシベーション絶縁膜24を堆積し、パッド部を開口する。これで図30に示すような最終構造が得られる。

【0170】より多層の配線構造のデバイスの場合には、前記したような方法の繰り返しで配線層と絶縁層を形成し、最後にトップパッシベーション絶縁膜19を堆積し、パッド部を開口する。こうして出来た最終構造が図30に示されている。

27

【0171】上記で述べたような方法を用いて製造されるFRAMの場合、メモリセル中のコンタクトのうち、強誘電体キャパシタの上部電極15aに接続するように形成されているコンタクトホール15ahが、下部電極13の端からはみ出す形で形成され、これによって1段目のコンタクトホール34hに直接接続するように形成されているコンタクトホールを兼ねている。

【0172】従って従来のFRAMで、メモリセルのサイズを大きくする要因であったキャパシタ上部電極または下部電極と1段目のコンタクトホールに直接接続するように形成されているコンタクトホールの間の余裕を無くする事ができ、メモリセルのサイズを小さくする事ができる。

【0173】ここまでの効果は第3の実施の形態でも見た通りであるが、第4の実施の形態では、さらに図31に示すように、キャパシタの上部電極15aと下地トランジスタの拡散層10A1とを結ぶ目的で使用するコンタクトホール15acの直上に、独立した配線層57を設ける事ができる。配線層57は第1の配線層15wと同じ配線層であるがここでは説明のために異なる記号にて図示している。

【0174】配線層57は、第3の実施の形態の場合にはコンタクトホール15acと繋がってしまうので、独立な配線層として使えなかったが、第4の実施の形態の場合には、コンタクトホール15acはシリコン酸化膜39により完全に絶縁されているので、独立な配線層として使う事ができる。

【0175】これにより、セルアレイ内での配線層の使用効率を上げる事ができ、セルサイズを小さくしたり、配線層の総層数を少なくする事ができる。

【0176】(第5の実施の形態)図32は第5の実施の形態を示し、(a)は平面図、(b)、(c)は夫々2本の異なる切断線で切って示す断面図である。

【0177】図2の実施の形態と異なるのは、下部電極13が上部電極15a、15bの無い部位で、コの字型に切り込まれた切りこみ部60を有するパターンとなっている点であり、さらに、下部電極コンタクト13cがこの切り込み部60の最も後退した部分60aの位置で下部電極13の一側面に接触され、単一のコンタクト13cにより直下のソースドレイン領域10A1に接続される様に配置されている点である。

【0178】他方のソースドレイン領域に接続されるコンタクト18は、下部電極13と隣接する下部電極13-1との間に形成され、いずれの下部電極にも接触しないように配置されている。又、上部電極15a、15b上には、夫々上部電極コンタクト15cが配置される。

【0179】下部電極13上の上部電極15bと、隣接する下部電極13-1上の上部電極15a-1とは、コンタクト15c、15c-1を介して配線パターン15wに接続され、更にコンタクト18を介してソースドレ

28

イン領域10A2に接続されるようになっている。

【0180】残りの構成は図2の実施の形態と略同様であり、図2と同様の参照符号を付して説明を省略する。

【0181】図32に示した電極およびコンタクトのパターン並びに配置により、セル面積の内、キャパシタ面積が大半を占めるセルレイアウトの内側はCOP構造とまったく同じレイアウトが取れ、微細化の実現に大きく貢献できる構成である。

【0182】また、例えば、図32(a)において点線で示したソースドレイン領域10A1に対して下部電極13は図中の上方へ僅かな距離Sだけずらせて形成されている。これは、下部電極コンタクト13cが、ワード線として使用されるゲート電極11-1、11-2、11-3の配列方向の微小化のために幅が狭く形成されていることと、かつコンタクト面積をある程度確保するためとゲート電極配列方向と直交する方向における合わせずれに対するある程度の余裕を持つために長方形に形成されていること、等の要因にもかかわらず、下部電極コンタクト13cをソースドレイン領域10A1のなるべく中央に配置させておくためである。

【0183】なお、この実施の形態では、長方形の下部電極コンタクト13cの面積は略正方形のソースドレインコンタクト18の面積と略同等となるように設計されている。

【0184】以下、図33～図40を参照してこの第5の実施の形態の製造工程を説明する。

【0185】最初に、図33に示すように、N型半導体基板10内に図32の切断線C-Dの方向に所定の間隔で素子分離層10S0、10S1、10S2を形成し、素子分離層10S0、10S1の間、および10S1、10S2の間に素子形成領域を形成する。

【0186】この素子形成領域にはP型の不純物が拡散され、ソースドレイン領域10A1、10B1が形成される。

【0187】続いて、図32の切断線A-Bに沿った方向に形成されたソースドレイン領域10A1、10A2間のチャンネル領域に対応する位置に沿って図34(a)に示すように複数のゲート電極11-1、11-2、11-3が形成され、全体を層間絶縁膜12で覆い、図34(a)、(b)に示すように表面をCMPにより平坦化する。

【0188】次に、層間絶縁膜12上に全体にアルミ膜および強誘電体膜を堆積し、図35(a)、(b)に示すように、レジスト露光後のエッチングによりトランジスタTr1、Tr2形成予定位置に矩形状の下層電極13を、トランジスタTr3形成予定位置に13-1を形成する。これと同時に強誘電体膜14、14-1もパターンニングにより形成される。

【0189】続いて、図36に示すように、上部電極15a、15b、15a-1を形成する。この上部電極1

5a, 15b, 15a-1の形成時には、たとえば図36(a)に示すように、強誘電体膜14の表面と同じ高さまでレジストRを埋め込み、この状態で全面にアルミ膜を堆積させ、エッチングによりゲート電極11-1, 11-2, 11-3に夫々対応する位置に上部電極15a, 15b, 15a-1を切り出す。

【0190】次に、図37に示すように、これら形成された下部電極13, 13-1、強誘電体膜14、14-1、上部電極15a, 15b, 15a-1全体を層間絶縁膜22で覆い、その表面をCMPにより平坦化する。

【0191】このようにして、ソースドレイン領域10A1, 10A2、10B1、ゲート電極11-1, 11-2, 11-3、下部電極13, 13-1、上部電極15a, 15a-1, 15bを加工し、強誘電体キャパシタ上に層間膜22を形成し、平坦化した後、図38に示すように、層間膜22に上部電極コンタクト穴15ch, 15ch-1を所定のマスクを用いてRIE法により開口する。

【0192】上部電極コンタクト穴15ch, 15ch-1は夫々の上部電極15a, 15b, 15a-1の略中央部に形成される。これらの位置関係は、他の下部電極、たとえば、下部電極13の二つの上部電極15a, 15bの間の距離だけオフセットして形成されている下部電極23-1についても同様になる。

【0193】次に、図39(c)に示すようにソースドレイン領域10A1, 10A2, 10B1…に達するソースドレインコンタクトホール13ch, 18h並びに配線溝15whを開口する。この際、すでに開口された図39(b)の強誘電体キャパシタの電極コンタクトホール15ch, 15ch-1はソースドレインコンタクトホール13ch, 18hを開口するのに用いられるフォトリソにより覆われるので、何らの影響も受けない。

【0194】なお、図39(c)に示すように、下部電極13のコンタクトホール13chのエッチングにおいて、層間絶縁膜22と高誘電体膜14とは除去されるが、下部電極13は残るので、続く層間絶縁膜12のエッチングはこの下部電極13がマスクとなってその下は幅が狭くなる。この部分で下部電極13の表面の一部と側面の一部がコンタクトホール13ch内に露出部13Aとして露出することになる。

【0195】図39の後の工程で、図示しないが、キャパシタの電極13, 15a, 15bに接続されるコンタクト15c, 15c-1, 18の上部に配線15wのような配線溝が形成される。

【0196】最後に、図40(a), (b), (c)に示すように、たとえばリフローアルミなどを用い、厚いアルミ膜をコンタクトホール13ch, 15ch, 15ch-1, 18h内に堆積させて完全に埋め込み、各コンタクト13c, 15c, 15c-1, 18が形成され

る。

【0197】ついで、図39の後工程で形成された配線溝にアルミが充填され、配線15wがコンタクトに接続される形で形成される。

【0198】最後に、CMP法により表面加工して、図32の実施の形態のチェーン型強誘電体メモリセル構造が図40に示すように完成する。

【0199】この様に、コンタクト形成がキャパシタ形成の後であるため、キャパシタ工程の摂氏700度前後の酸化工程がデバイスに悪影響を及ぼす事がない。特に、図39に示すように、トランジスタのソースドレイン領域へのコンタクトホールの形成はキャパシタ電極13, 15a, 15bへのコンタクトホール形成工程の後工程で行われるため、ソースドレイン領域が露出している時間が短く、トランジスタの特性の劣化が少ない。

【0200】(第6の実施の形態) 図41は第6の実施の形態を示す図で、配線15wをデュアルダマシン(Dual Damascene)法で形成した例である。これにより、下部電極13側のコンタクト13cのコンタクトプラグ高さが配線15w高さと一致している。デュアルダマシン法を用いた場合、堆積するメタル膜厚に制限が無いので、深いコンタクト内への埋め込みが容易となる。この点の相違以外は、図41の構成は図40と同じであるので、これ以上の説明は省略する。

【0201】(第7の実施の形態) 図42は、第7の実施の形態を示し、図41と同様にデュアルダマシン法で形成されている。この実施の形態では、下部電極13はその側部に形成された接触部13Bのみを介してコンタクト13cと接触している。

【0202】一般に、図41の例のように、強誘電体薄膜14を除去するためには、ソースドレイン領域10A1へのオーバーエッチングが生じ易い。このオーバーエッチングが生じるとコンタクト13cがコンタクト不良を起こす。

【0203】従って、コンタクト不良を防止するため、下側電極13の側面のみに形成された接触部13Bを介してコンタクトし、強誘電体薄膜14は除去しないという方法もありうる。

【0204】(第8の実施の形態) 図43は第8の実施の形態を示している。この場合、下部電極が中央のコンタクト13cの部分で第1、第2の下部電極13A, 13Bに分割されている。

【0205】下部電極コンタクト13cは、その上部に突出部13c-1, 13c-2が形成され、第1、第2の下部電極13A, 13Bの両方に重なるように配置されている。下部電極コンタクト13cは下部電極13Aと13Bの側面および、突出部13c-1, 13c-2との重なり部の上面にて接触しており、下端部がソースドレイン領域10A1に達している。残りの構成は図40の実施の形態と同様である。



【0206】この構成では、下部電極コンタクト13cの上部の突出部13c-1、13c-2と下部電極13A、13Bとの重なり部を合わせ余裕程度とっておけば、ソースドレイン領域10A1へのコンタクト面積が合わせずれにより減少することはない。

【0207】（第9の実施の形態）図44は第9の実施の形態を示す。図44の実施の形態は図42の実施の形態に対応するもので、下部電極コンタクト13cを形成するエッチングの際に、強誘電体膜14A、14Bをエッチングせずに残し、従って、下部電極コンタクト13cの突出部13c-1、13c-2が下部電極13A、13Bと重なりあわず、高誘電体膜14A、14Bと重なり合うことになる。

【0208】（第10の実施の形態）図45は図32の実施の形態において、夫々のコンタクト13c、18とソースドレイン領域10A1、10A2、10B1との間にプラグコンタクト70、71、71を挿入した例である。

【0209】すなわち、コンタクト13c、15c、18は、ソースドレイン領域10A1、10A2、10B1ではなく、プラグコンタクト70、71、72上に接続される。この方法では、特にコンタクト13c、18を浅くできるため、コンタクト開口、メタルの充填がやりやすくなり、コンタクト歩留まりを上昇できる。他の構成は図32の実施の態様と同じである。

【0210】図46～図49は、図45の実施の形態に対応した工程断面図である。

【0211】図46の工程ではすでにコンタクトプラグ70、71、72が第2層間絶縁膜22内に形成されている状態を示す。図46の工程の前には例えば図33乃至図37に示した工程と同様の工程がある。このコンタクトプラグ70、71、72の形成工程は、図34に示す工程において、層間絶縁膜12を堆積する前に、堆積したレジストに対してリソグラフィ技術を用いてこのコンタクトプラグ70、71、72の形成予定位置にコンタクトホールをエッチング形成し、コンタクトメタルを充填することにより実施できる。

【0212】その後、図35乃至図37の工程があるが、これらの工程はすでに説明した工程と重複するので、これ以上の説明は省略する。

【0213】つぎに、図47において、第2層間絶縁膜22に通常のリソグラフィ法によりコンタクトホール15ch、15ch-1を形成する。このときはコンタクトプラグ70-72に至るコンタクトホールは形成されず、層間絶縁膜22によりエッチングによる影響から保護されている。

【0214】続いて、図48の工程において、各コンタクトプラグ70-72に至るコンタクトホール13ch、18hを第2層間絶縁膜22、第1層間絶縁膜12を通して開口する。

【0215】このとき、図48(c)に示すように、コンタクトプラグ70に至るコンタクトホール13chのエッチングの途中で高誘電体膜14のエッチングがなされた後で、下部電極13の表面でエッチングは停止する。それ以降のエッチングはこの下部電極13をマスクとして進行し、結果として下部電極13の表面の一部および側面の一部がコンタクトホール13ch内に露出する。

【0216】つぎに、図49の工程で、すべてのコンタクトホールがメタルにより充填され、コンタクトが形成される。このとき、配線層15wが形成されたコンタクトに接続された状態で形成されるが、この配線層15wの形成のための配線溝の形成工程は図48の工程の後で行われるが、これはすでに説明したとおりである。

【0217】（第11乃至第14の実施の形態）以下図50乃至図53を参照して第11乃至第14の実施の形態をまとめて説明する。

【0218】図49の実施の形態において、下部電極コンタクト13cが配線層15wの分だけ低く形成され、絶縁層22内に埋め込まれているが、図50の実施の形態では下部電極コンタクト13cが配線層15wと同じ高さとなっている。他の構成は図49と同じである。

【0219】図51の実施の形態では、下部電極コンタクト13cが下部電極の側面13Bでのみ接触するように形成されている。他の構成は図50と同様である。

【0220】図52の実施の形態は、図43の実施の形態の変形例であり、各コンタクトの下半分が夫々コンタクトプラグ70-72として形成されている他は図43と同様である。

【0221】図53の実施の形態は、図52の実施の形態の変形例で、図44の実施の形態に対応し、各コンタクトの下部にコンタクトプラグ70-72が形成されている他は、図44の実施の形態と同じである。

【0222】

【発明の効果】以上詳述したようにこの発明によれば、強誘電体メモリを構成する強誘電体キャパシタの下部電極或いは上部電極へ接続するコンタクトホールとトランジスタへ接続するコンタクトホールを同一のコンタクトホールとして形成するため、従来技術では二つ必要であったコンタクトを一つにする事ができ、メモリセルの面積を小さくする事ができる。

【図面の簡単な説明】

【図1】この発明が適用されるチェーン型FRAMのメモリブロックの回路構成図。

【図2】(a)はこの発明の一実施の形態のFRAMメモリセルの構成を示す平面図、(b)はその断面図。

【図3】図2の下部電極コンタクトの部分を示す平面図。

【図4】図3のC-D線の断面図。

【図5】図2のD-D'線に沿って示すメモリセル構成

を製造する工程図。

【図6】図2のD-D'線に沿って示すメモリセル構成を製造する工程図。

【図7】図2のD-D'線に沿って示すメモリセル構成を製造する工程図。

【図8】図2のD-D'線に沿って示すメモリセル構成を製造する工程図。

【図9】図2のD-D'線に沿って示すメモリセル構成を製造する工程図。

【図10】図2のD-D'線に沿って示すメモリセル構成を製造する工程図。

【図11】図2の下部電極コンタクトの部分を示す平面図。

【図12】図11のC-D線に沿った断面図。

【図13】図2のD-D'線に沿って示すメモリセル構成の他の実施の形態を製造する工程図。

【図14】図2のD-D'線に沿って示すメモリセル構成の他の実施の形態を製造する工程図。

【図15】図2のD-D'線に沿って示すメモリセル構成の他の実施の形態を製造する工程図。

【図16】図2のD-D'線に沿って示すメモリセル構成の他の実施の形態を製造する工程図。

【図17】この発明の他の実施の形態のメモリセル構成を示す平面図。

【図18】図17の線E-Fに沿った断面図。

【図19】図2のG-H線に沿って示すメモリセル構成の他の実施の形態を製造する工程図。

【図20】図2のG-H線に沿って示すメモリセル構成の他の実施の形態を製造する工程図。

【図21】図2のG-H線に沿って示すメモリセル構成の他の実施の形態を製造する工程図。

【図22】図2のG-H線に沿って示すメモリセル構成の他の実施の形態を製造する工程図。

【図23】図2のG-H線に沿って示すメモリセル構成の他の実施の形態を製造する工程図。

【図24】図2のG-H線に沿って示すメモリセル構成の他の実施の形態を製造する工程図。

【図25】この発明の更に他の実施の形態のメモリセル構成を示す平面図。

【図26】図25の線A-Bに沿った断面図。

【図27】図2のG-H線に沿って示す図25に示すメモリセル構成の実施の形態を製造する工程図。

【図28】図2のG-H線に沿って示す図25に示すメモリセル構成の実施の形態を製造する工程図。

【図29】図2のG-H線に沿って示す図25に示すメモリセル構成の実施の形態を製造する工程図。

【図30】図2のG-H線に沿って示す図25に示すメモリセル構成の実施の形態を製造する工程図。

【図31】図2のG-H線に沿って示す図25に示すメモリセル構成の実施の形態を製造する工程図。

【図32】(a)はこの発明の更に他の実施の形態のメモリセル構成を示す平面図、(b)は線A-Bに沿った断面図、(c)は線C-Dに沿った断面図。

【図33】図32の実施の形態の製造工程図。

【図34】図32の実施の形態の製造工程図。

【図35】図32の実施の形態の製造工程図。

【図36】図32の実施の形態の製造工程図。

【図37】図32の実施の形態の製造工程図。

【図38】図32の実施の形態の製造工程図。

【図39】図32の実施の形態の製造工程図。

【図40】図32の実施の形態の製造工程図。

【図41】この発明の更に他の実施の形態の構成を示す図。

【図42】この発明の更に他の実施の形態の構成を示す図。

【図43】この発明の更に他の実施の形態の構成を示す図。

【図44】この発明の更に他の実施の形態の構成を示す図。

【図45】この発明の更に他の実施の形態の構成を示す図。

【図46】図45の実施の形態のFRAMの製造工程図。

【図47】図45の実施の形態のFRAMの製造工程図。

【図48】図45の実施の形態のFRAMの製造工程図。

【図49】図45の実施の形態のFRAMの製造工程図。

【図50】この発明の更に他の実施の形態の構成を示す図。

【図51】この発明の更に他の実施の形態の構成を示す図。

【図52】この発明の更に他の実施の形態の構成を示す図。

【図53】この発明の更に他の実施の形態の構成を示す図。

【図54】従来のFRAMのメモリセル構成を示す平面図。

【図55】図54のA-B線に沿った断面図。

【符号の説明】

10…シリコン基板、

10A1, 10A2, 10B1…トランジスタのソースドレイン領域。

10S1, 10S2…素子分離領域、

11-1, 11-2, 11-3…ゲート電極、

13…キャパシタ下部電極、

13c…下部電極へ接続するコンタクトホール、

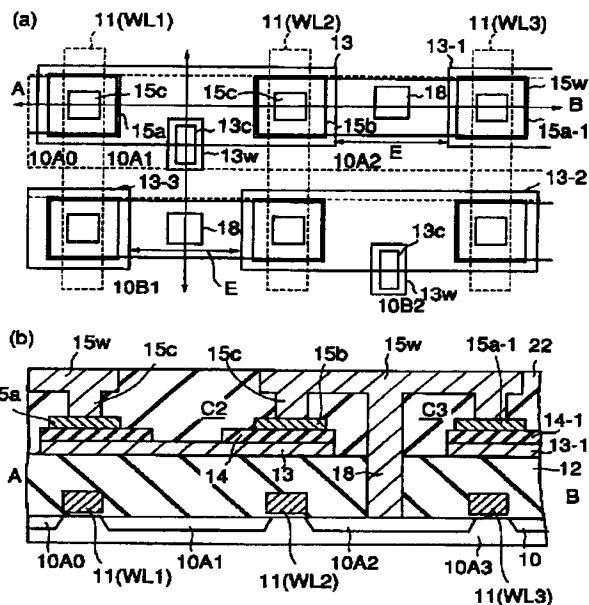
14…キャパシタ強誘電体膜、

15a, 15b…キャパシタ上部電極、

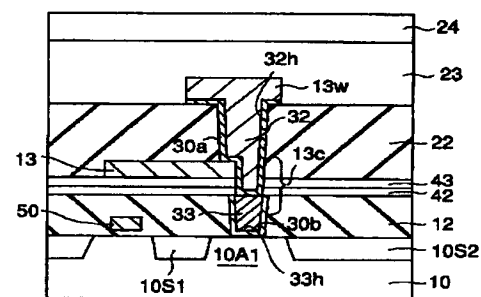
36

\*ホール、  
 3 5…上部電極コンタクト、  
 3 6…トランジスタのソースドレイン領域に直接接続されるコンタクト、  
 4 2…シリコン窒化膜、  
 4 3…シリコン酸化膜。

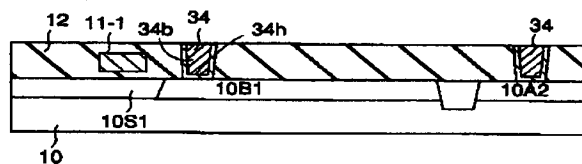
【図 2】



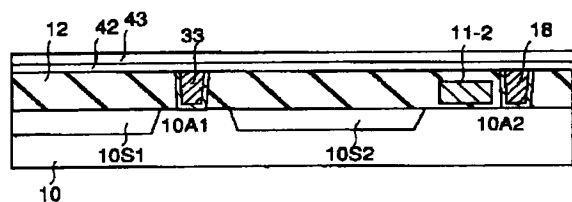
【図 4】



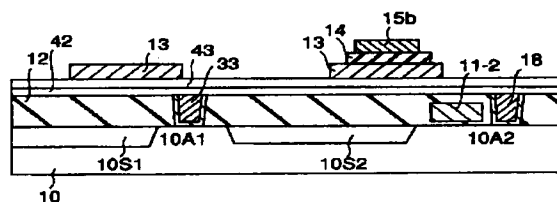
【图 19】



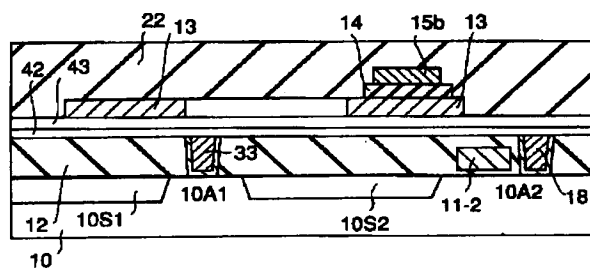
【図 6】



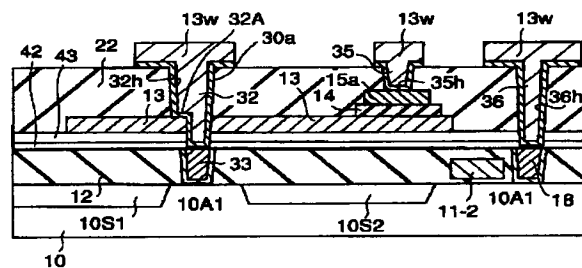
【圖 7】



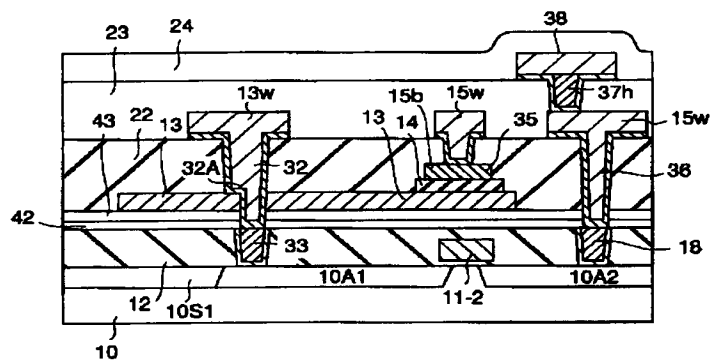
【图 8】



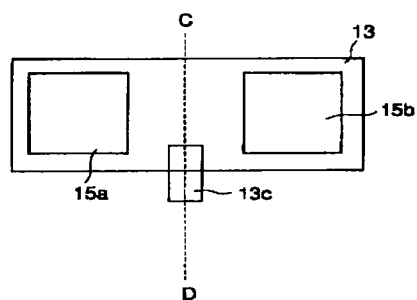
【图 9】



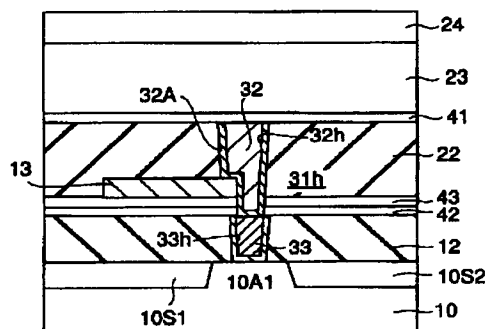
【図 10】



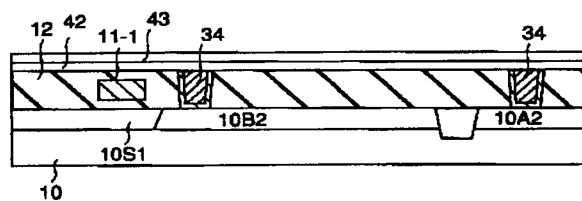
【図 1 1】



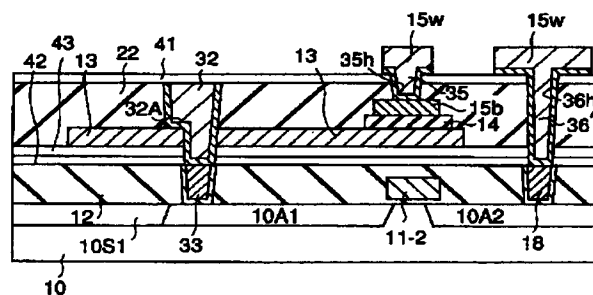
【图 1 2】



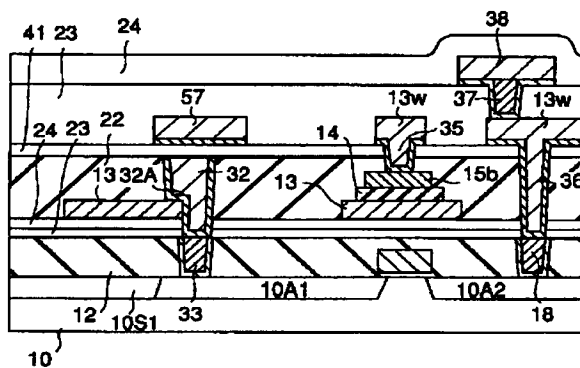
【図 20】



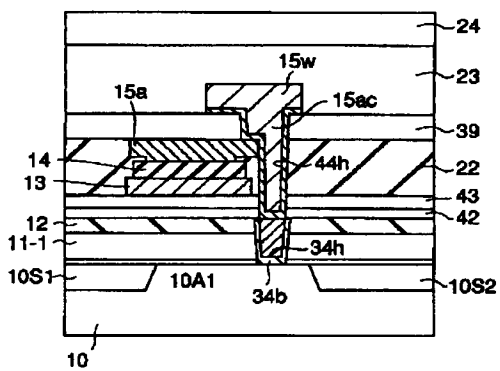
【图 1 4】



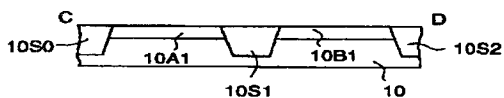
【圖 16】



【図 18】

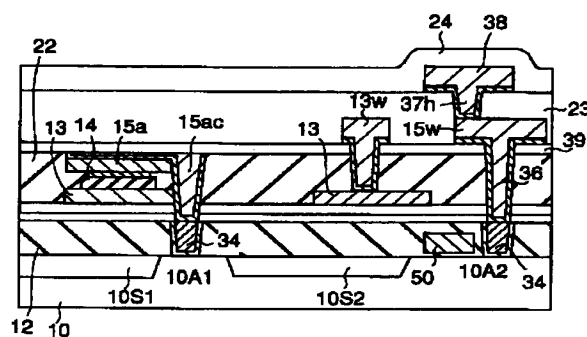


【图 3 3】

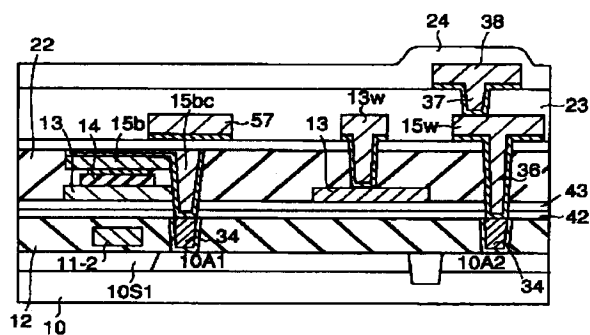




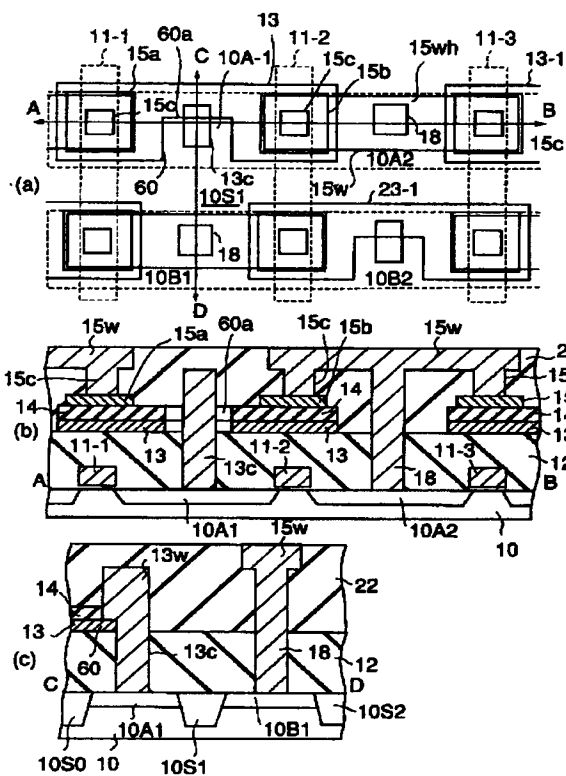
【図 30】



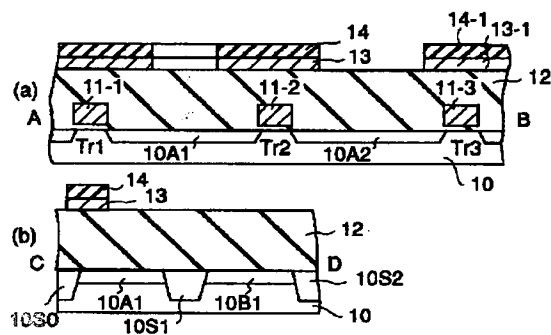
【図 3 1】



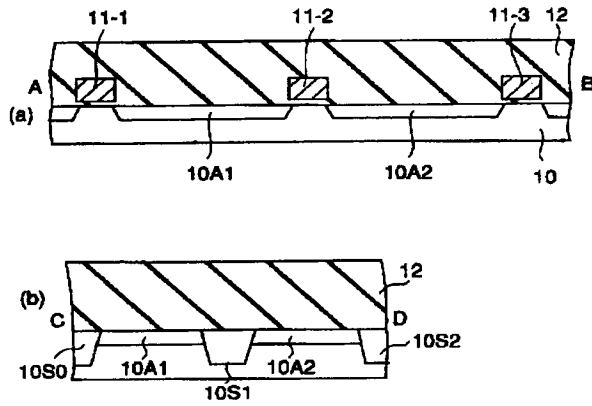
【図 3 2】



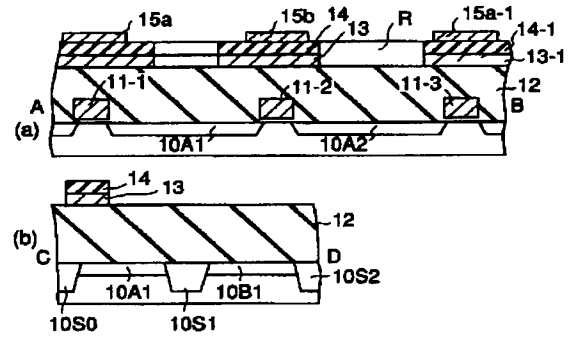
【図 3 5】



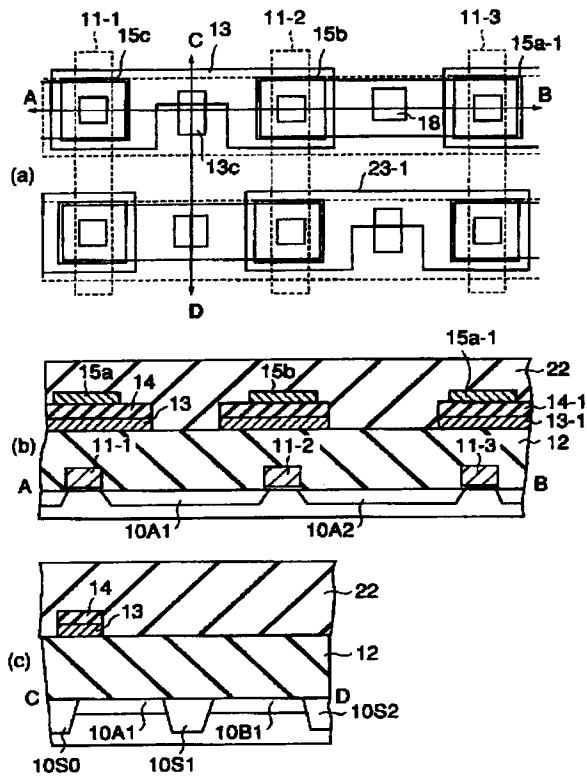
【図34】



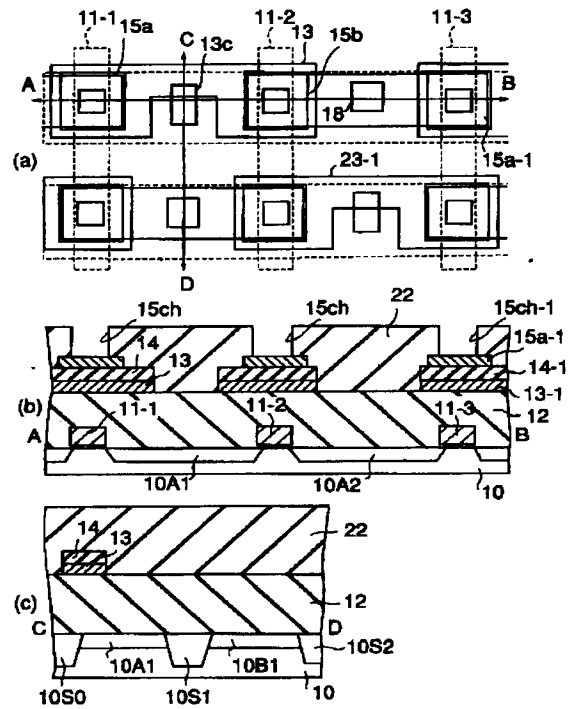
【図36】



【図37】

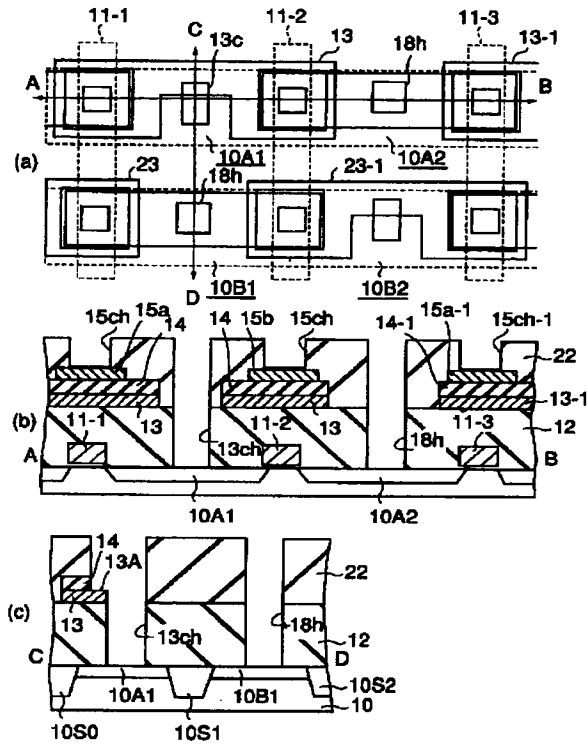


【図38】

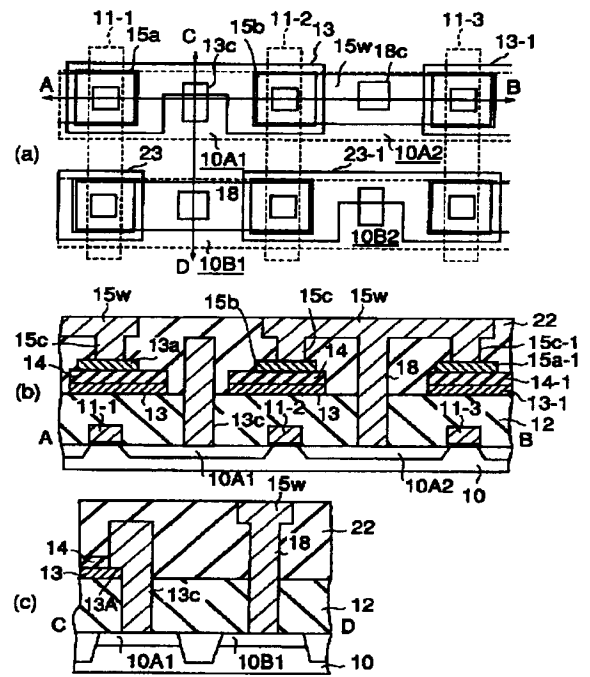




【図 3 9】

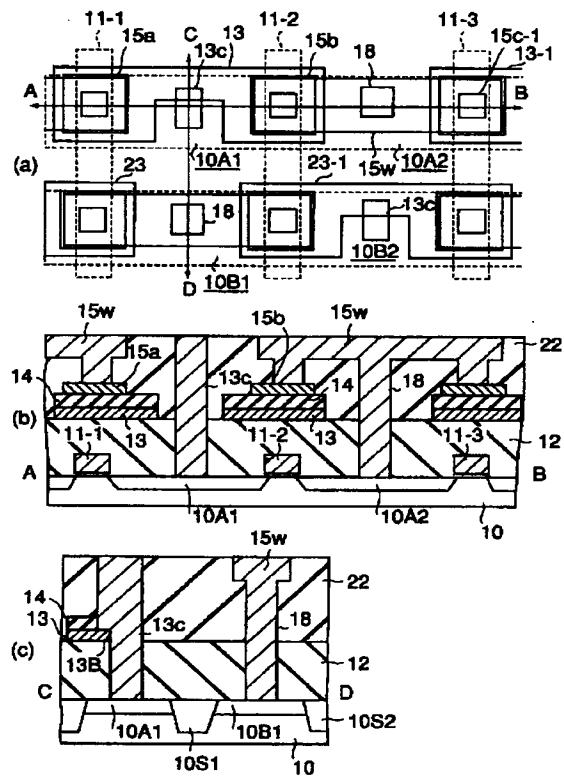
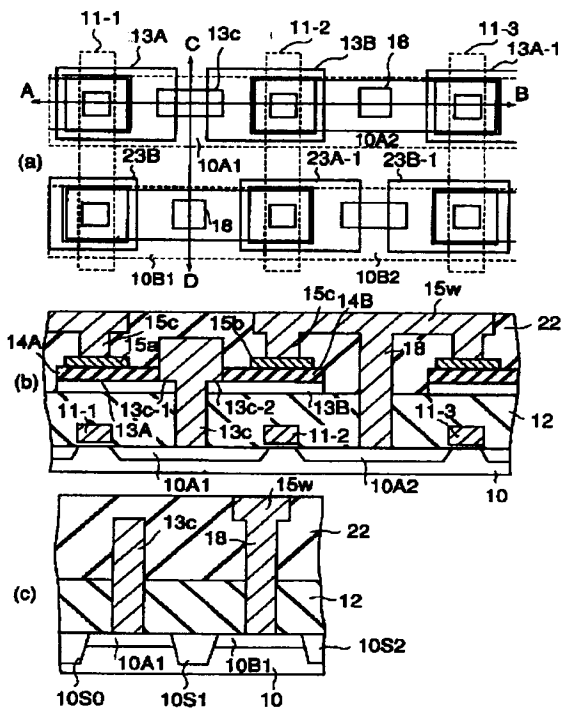


【図 4 0】

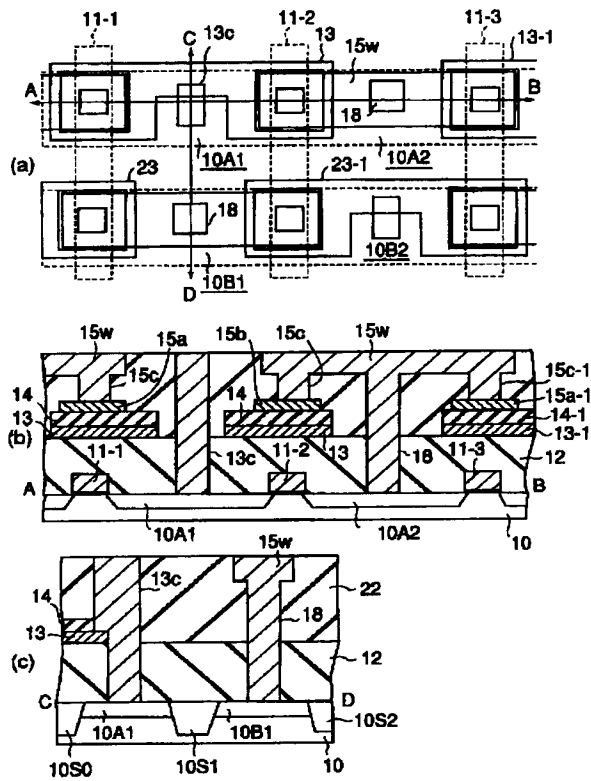


【図 4 2】

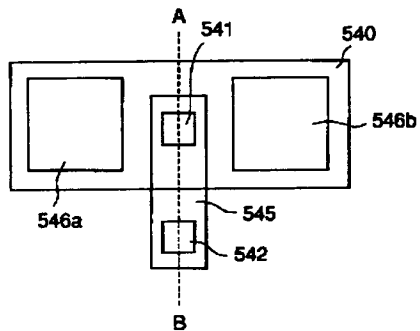
【図 4 3】



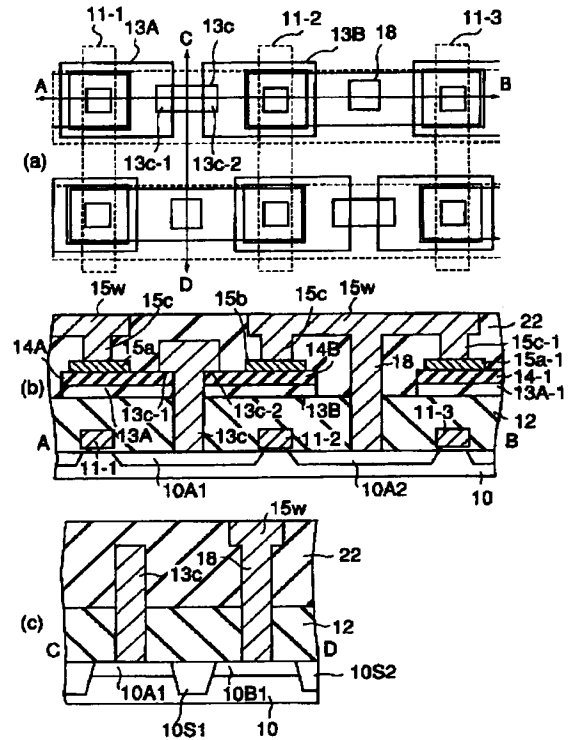
【図41】



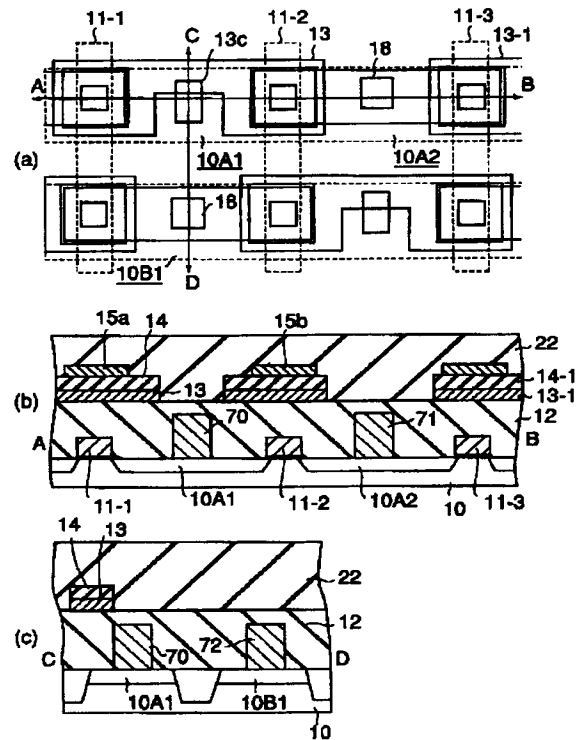
【図54】



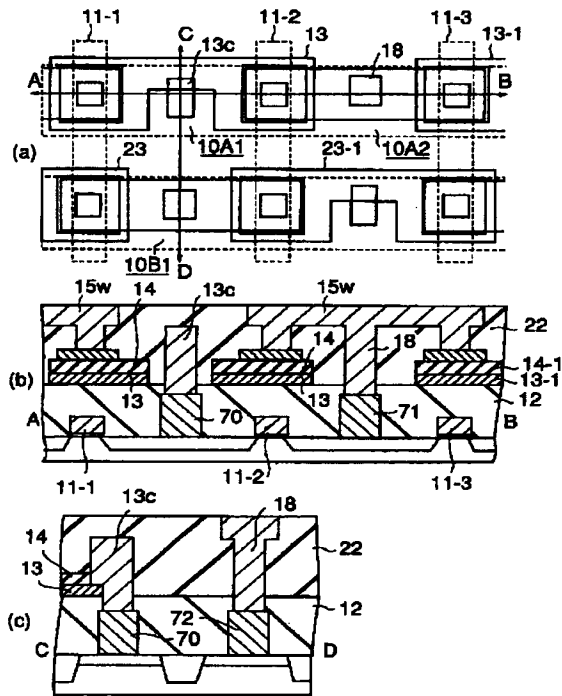
【図44】



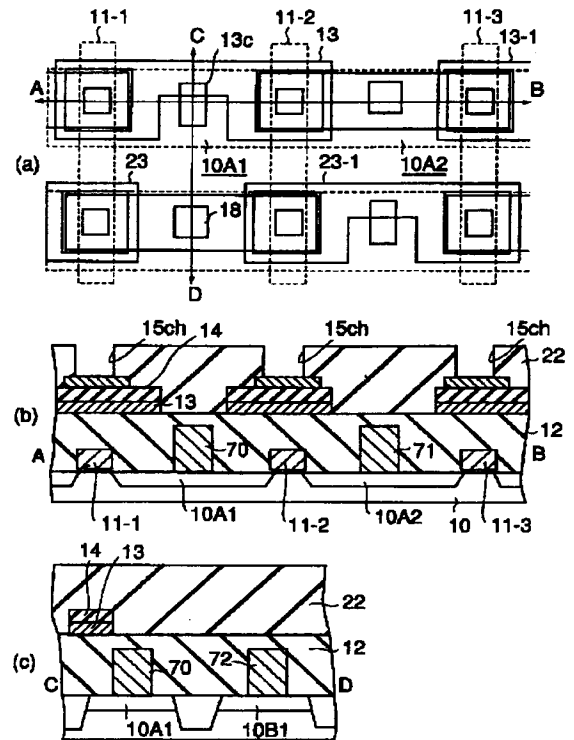
【図46】



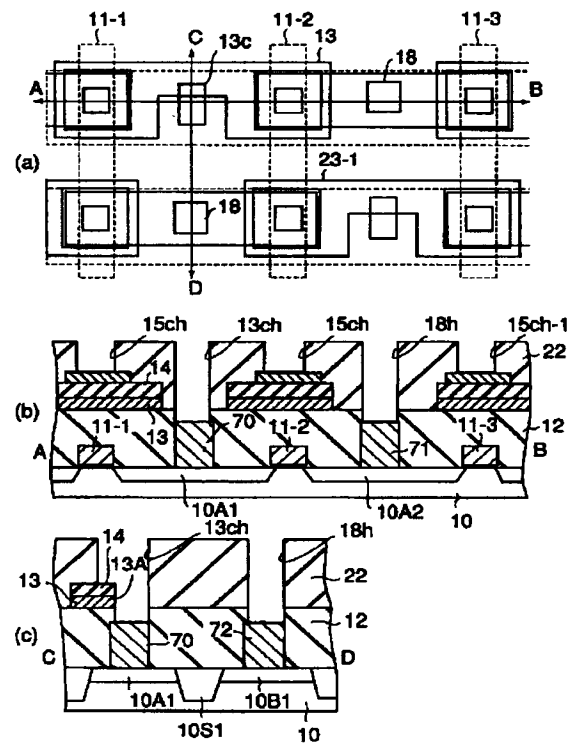
【図45】



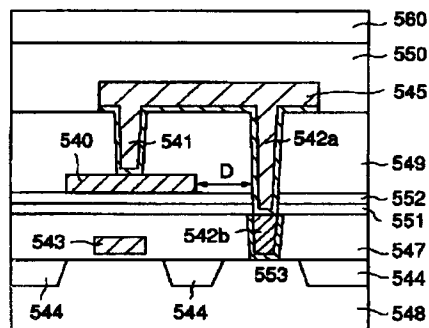
【図47】



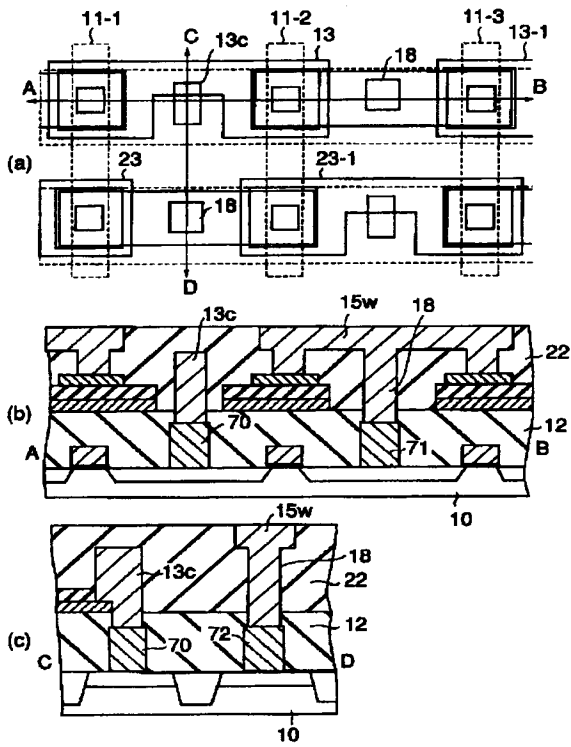
【図48】



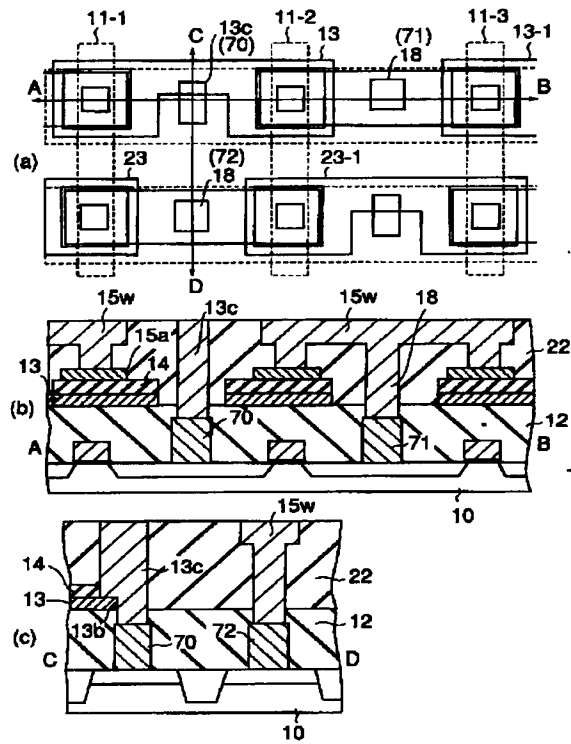
【図55】



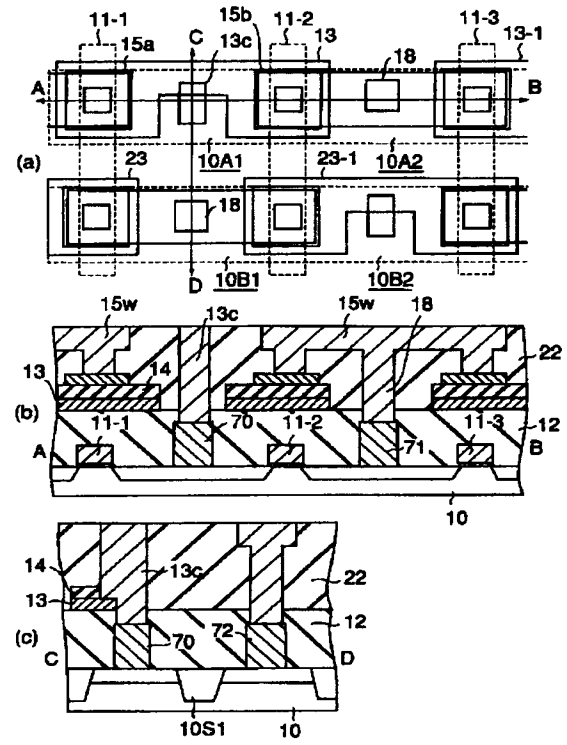
【図49】



【図51】



【図50】



【図52】

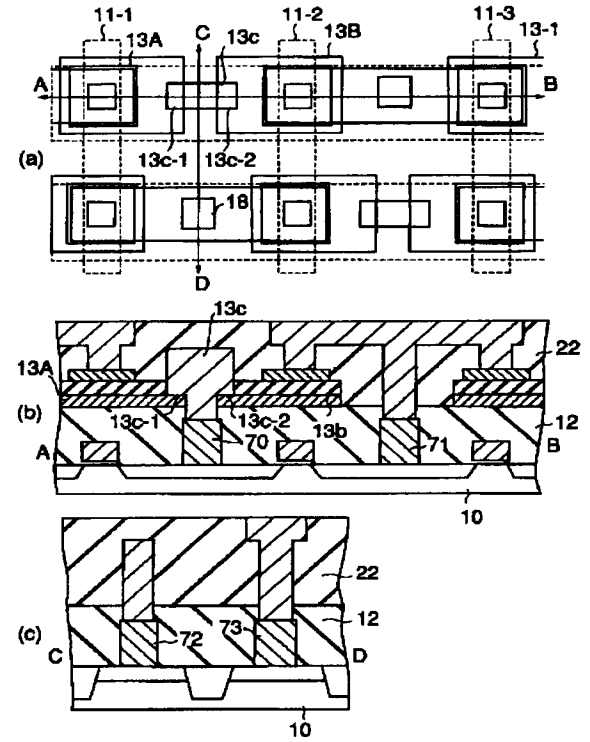


Fig. 1 consists of three schematic diagrams labeled (a), (b), and (c).  
 (a) is a plan view of a semiconductor device. It shows a top layer 11 with three openings 11-1, 11-2, and 11-3. Below the top layer is a bottom layer 10 with corresponding openings 13A, 13B, and 13C. A central region 18 is also shown. The device is bounded by lines A and B horizontally, and C and D vertically.  
 (b) is a cross-sectional view along line A-B. It shows a stack of layers: 15w (top), 13c, 18, 22, 12, and 10 (bottom). The openings 13A, 13B, and 13C are visible as recessed areas in the 13c layer. The central region 18 is a raised area. The bottom layer 10 has a stepped profile.  
 (c) is a cross-sectional view along line C-D. It shows a similar stack of layers: 15w, 13c, 22, 12, and 10. The openings 13c-1 and 13c-2 are visible in the 13c layer. The central region 18 is a raised area. The bottom layer 10 has a stepped profile.

Fターム(参考) 5F083 AD21 FR01 FR02 GA09 JA15  
JA36 JA38 JA39 JA40 JA43  
KA05 KA15 KA19 MA05 MA16  
MA18 MA19 PR33